

Содержание

| | |
|--|-----------|
| Предисловие редактора перевода | 10 |
| Литература к предисловию редактора перевода | 12 |
| Предисловие | 14 |
| Вступление | 16 |
| Благодарности | 19 |
| | |
| Глава 1. Проблемы масштабирования КМОП-схем в нанодиапазоне и их последствия | 20 |
| 1.1. Методология проектирования в эру КМОП-схем нанодиапазона..... | 20 |
| 1.2. Инновации, необходимые для продолжения масштабирования характеристик..... | 22 |
| 1.3. Обзор проблем суб-100-нм масштабирования и субдлинноволновой оптической литографии..... | 26 |
| 1.3.1. Проблемы заключительного этапа технологического процесса изготовления ИС (BEOL) (металлизации)..... | 26 |
| 1.3.2. Проблемы начального этапа технологического маршрута (FEOL) изготовления транзисторов..... | 32 |
| 1.4. Управление технологическим процессом и надежность..... | 36 |
| 1.5. Проблемы литографии и взрывное увеличение объема данных для изготовления фотошаблонов..... | 37 |
| 1.6. Новое поколение разработчиков схем и проектировщиков на физическом уровне..... | 38 |
| 1.7. Проблемы моделирования..... | 39 |
| 1.8. Необходимость внесения изменений в методологию проектирования..... | 42 |
| 1.9. Заключение..... | 44 |
| Литература..... | 44 |
| | |
| Глава 2. КМОП-приборы и технологический процесс их изготовления | 47 |
| 2.1. Требования к оборудованию начального (транзисторного) этапа технологического маршрута..... | 47 |
| 2.1.1. Технические предпосылки..... | 47 |
| 2.1.2. Масштабирование подзатворного диэлектрика..... | 50 |
| 2.1.3. Технология создания напряженных структур..... | 56 |
| 2.1.4. Технология быстрой термической обработки..... | 58 |
| 2.2. Проблемы масштабирования КМОП-приборов на начальной (FEOL) стадии технологического процесса..... | 66 |
| 2.2.1. Проблемы масштабирования КМОП-структур..... | 66 |
| 2.2.2. Модель квантовых эффектов..... | 69 |
| 2.2.3. Эффекты обеднения поликремниевого затвора..... | 71 |
| 2.2.4. Металлические электроды затворов..... | 73 |
| 2.2.5. Утечка прямого туннелирования..... | 75 |
| 2.2.6. Паразитная емкость..... | 78 |
| 2.2.7. Вопросы надежности..... | 82 |
| 2.3. Заключительная стадия технологического процесса..... | 85 |
| 2.3.1. Масштабирование межсоединений..... | 86 |
| 2.3.2. Технология медной металлизации..... | 88 |
| 2.3.3. Проблемы диэлектриков с низким значением относительной диэлектрической постоянной..... | 91 |

| | |
|---|------------|
| 2.3.4. Будущее технологии глобальных межсоединений..... | 93 |
| Литература..... | 93 |
| Глава 3. Теория и практические вопросы субдлинноволновой оптической литографии..... | 100 |
| 3.1. Введение и элементарная теория формирования изображения..... | 100 |
| 3.2. Вызовы для 100-нм узла..... | 103 |
| 3.2.1. Коэффициент k для 100-нм уровня технологии..... | 103 |
| 3.2.2. Важнейшие вариации технологического процесса..... | 105 |
| 3.2.3. Влияние технологии формирования рисунка с малым k на чувствительность технологического процесса..... | 110 |
| 3.2.4. Формирование изображения высокого разрешения с малым k и влияние на глубину резкости..... | 110 |
| 3.2.5. Технология формирования рисунка с малым k и допуск экспонирования..... | 111 |
| 3.2.6. Влияние технологии с малым k на величину коэффициента увеличения ошибки шаблона..... | 112 |
| 3.2.7. Формирование рисунка с помощью технологии с малым k и чувствительность к аберрациям..... | 114 |
| 3.2.8. Формирование рисунка с помощью технологии с малым k и разброс минимального размера элемента как функция шага..... | 115 |
| 3.2.9. Формирование изображения с помощью технологии малого k и радиус закругления углов..... | 117 |
| 3.3. Способы увеличения разрешающей способности: физические основы..... | 120 |
| 3.3.1. Специальные конфигурации рисунка освещения..... | 121 |
| 3.3.2. Коррекция эффектов оптической близости..... | 123 |
| 3.3.3. Вспомогательные элементы субмикронного размера (улучшающие качество формы элементов топологии)..... | 130 |
| 3.3.4. Фазосдвигающие шаблоны с чередующимся фазовым сдвигом..... | 132 |
| 3.4. Влияние стиля физического проектирования топологии на сложность используемых способов усиления разрешающей способности и коррекции эффектов оптической близости..... | 137 |
| 3.4.1. Специальные условия освещения..... | 138 |
| 3.4.2. Двумерные топологии..... | 141 |
| 3.4.3. Фазосдвигающие шаблоны с чередующимися значениями фазы (APSM)..... | 146 |
| 3.4.4. Стоимость фотошаблона..... | 150 |
| 3.5. Что впереди: технологии литографии будущего..... | 153 |
| 3.5.1. Эволюционный путь развития: 157-нм литография..... | 154 |
| 3.5.2. Эволюция продолжается: иммерсионная литография..... | 156 |
| 3.5.3. Квантовый скачок: литография в экстремальном ультрафиолете (EUV — Extreme UltraViolet)..... | 158 |
| 3.5.4. Пучковая литография..... | 160 |
| 3.5.5. Оборудование прямой записи изображений с помощью электронного пучка..... | 160 |
| Литература..... | 164 |
| Глава 4. Проектирование схем смешанного сигнала..... | 168 |
| 4.1. Вступление..... | 168 |
| 4.2. Вопросы проектирования..... | 168 |
| 4.3. Моделирование прибора..... | 169 |
| 4.4. Пассивные компоненты..... | 176 |
| 4.5. Методология проектирования..... | 180 |
| 4.5.1. Эталонные схемы..... | 180 |

| | |
|---|------------|
| 4.5.2. Проектирование с использованием приборов на тонких окислах | 181 |
| 4.5.3. Проектирование с использованием приборов на толстом слое оксида | 182 |
| 4.6. Низковольтные методы | 184 |
| 4.6.1. Токовые зеркала | 185 |
| 4.6.2. Входные каскады | 186 |
| 4.6.3. Выходные каскады | 188 |
| 4.6.4. Источник опорного напряжения на ширине запрещенной зоны | 188 |
| 4.7. Процедуры проектирования | 190 |
| 4.8. Защита от электростатического разряда | 192 |
| 4.8.1. Проблемы нескольких источников питания | 192 |
| 4.9. Защита от шума | 194 |
| 4.9.1. Защитные (изолирующие) кольцевые структуры | 194 |
| 4.9.2. Изолированные n-МОП-приборы | 196 |
| 4.9.3. Сравнение эпитаксиального материала с объемным кремнием | 197 |
| 4.10. Развязка | 197 |
| 4.11. Разводка питания | 201 |
| 4.12. Проблемы интеграции | 202 |
| 4.12.1. Угловые области | 202 |
| 4.12.2. Близлежащие схемы | 203 |
| 4.13. Заключение | 203 |
| Литература | 204 |
| Глава 5. Разработка защиты от электростатического разряда | 207 |
| 5.1. Введение | 207 |
| 5.2. ЭСР-стандарты и модели | 208 |
| 5.3. Проектирование защиты от ЭСР | 208 |
| 5.3.1. Схема защиты от ЭСР | 208 |
| 5.3.2. Синхронность включения устройств защиты от ЭСР | 211 |
| 5.3.3. Имплантация защиты от ЭСР и блокировка силицида | 212 |
| 5.3.4. Правила защиты от ЭСР | 213 |
| 5.4. Проектирование низкоемкостной защиты от ЭСР для быстродействующих систем ввода/вывода | 213 |
| 5.4.1. Защита от ЭСР для высокоскоростного ввода/вывода или аналоговых контактов | 213 |
| 5.4.2. Низкоемкостная конструкция защиты от ЭСР | 215 |
| 5.4.3. Расчеты входной емкости | 218 |
| 5.4.4. Устойчивость к ЭСР | 220 |
| 5.4.5. Проверка включения | 221 |
| 5.5. Проектирование защиты от ЭСР для систем В/В на смешанном напряжении | 225 |
| 5.5.1. Интерфейсы В/В в смешанном сигнале | 225 |
| 5.5.2. Ожидания в защите от ЭСР для интерфейсов В/В смешанного сигнала | 226 |
| 5.5.3. Устройство защиты от статического разряда для интерфейса В/В смешанного напряжения | 227 |
| 5.5.4. Конструкция схемы защиты от ЭСР для В/В-интерфейса смешанного напряжения | 230 |
| 5.5.5. ЭСР-надежность | 233 |
| 5.5.6. Проверка включения | 233 |
| 5.6. SCR-устройства для защиты от статического электричества | 235 |
| 5.6.1. Механизм включения SCR-устройств | 235 |
| 5.6.2. Устройства на основе SCR для однокристалльной КМОП-защиты от электростатических разрядов | 236 |

| | |
|---|------------|
| 5.6.3. Техника SCR-защелки..... | 244 |
| 5.7. Заключение..... | 246 |
| Литература..... | 247 |
| Глава 6. Проектирование систем ввода/вывода (В/В)..... | 253 |
| 6.1. Введение..... | 253 |
| 6.2. Стандарты обмена данными..... | 254 |
| 6.3. Передача сигнала..... | 255 |
| 6.3.1. Несимметричные буферы..... | 256 |
| 6.3.2. Дифференциальные буферы..... | 257 |
| 6.4. Защита от ЭСР..... | 260 |
| 6.5. Помехи переключения системы В/В..... | 261 |
| 6.6. Оконечная (согласованная) нагрузка..... | 265 |
| 6.7. Согласование импеданса..... | 267 |
| 6.8. Предыскажение..... | 268 |
| 6.9. Выравнивание..... | 270 |
| 6.10. Заключение..... | 271 |
| Литература..... | 272 |
| Глава 7. ДОЗУ — DRAM..... | 273 |
| 7.1. Введение..... | 273 |
| 7.2. Основные особенности ДОЗУ..... | 273 |
| 7.3. Масштабирование конденсатора..... | 277 |
| 7.4. Масштабирование матричного транзистора..... | 279 |
| 7.5. Масштабирование усилителя считывания..... | 282 |
| 7.6. Заключение..... | 285 |
| Литература..... | 285 |
| Глава 8. Проблемы целостности сигнала в межсоединениях на кристалле..... | 287 |
| 8.1. Введение..... | 287 |
| 8.1.1. Показатели качества межсоединений..... | 289 |
| 8.2. Выделение паразитных элементов в межсоединениях..... | 291 |
| 8.2.1. Представление схемы межсоединений..... | 292 |
| 8.2.2. Экстракция <i>RC</i> | 295 |
| 8.2.3. Экстракция индуктивности..... | 299 |
| 8.3. Анализ целостности сигнала..... | 304 |
| 8.3.1. Модели формирователя межсоединений..... | 304 |
| 8.3.2. Анализ межсоединений <i>RC</i> | 306 |
| 8.3.3. Анализ RLC-межсоединений..... | 310 |
| 8.3.4. Анализ помехоустойчивой синхронизации..... | 314 |
| 8.4. Конструктивные решения для обеспечения целостности сигнала..... | 316 |
| 8.4.1. Физические методы конструирования..... | 317 |
| 8.4.2. Схемные технологии..... | 322 |
| 8.5. Заключение..... | 326 |
| Литература..... | 327 |
| Глава 9. Проектирование сверхмаломощных схем..... | 331 |
| 9.1. Введение..... | 331 |
| 9.2. Методы снижения мощности на этапе проектирования..... | 333 |
| 9.2.1. Системный и архитектурный уровни методов на этапе проектирования..... | 333 |

| | |
|---|------------|
| 9.2.2. Методы на схемном уровне проектирования..... | 333 |
| 9.2.3. Методы на этапе проектирования запоминающих устройств..... | 338 |
| 9.3. Методы снижения мощности на этапе исполнения..... | 345 |
| 9.3.1. Системные и архитектурные методы на этапе исполнения..... | 345 |
| 9.3.2. Методы этапа исполнения на схемном уровне..... | 347 |
| 9.3.3. Методы, применяемые на этапе исполнения схем памяти..... | 350 |
| 9.4. Технологические инновации энергосберегающего проектирования..... | 354 |
| 9.4.1. Новые приборные технологии..... | 354 |
| 9.4.2. Инновационные решения сборочной технологии..... | 355 |
| 9.5. Перспективы проектирования сверхмаломощных приборов..... | 356 |
| 9.5.1. Работа подпороговой схемы..... | 356 |
| 9.5.2. Отказоустойчивое проектирование..... | 357 |
| 9.5.3. Сравнение асинхронного и синхронного проектирования..... | 357 |
| 9.5.4. Схемы подавления утечек, индуцированных затвором..... | 358 |
| Литература..... | 359 |
| Глава 10. Проектирование с учетом пригодности для массового производства..... | 365 |
| 10.1. Введение..... | 365 |
| 10.2. Сравнение оптимальных и субоптимальных топологий..... | 366 |
| 10.3. Общее направление проектирования с учетом массового производства..... | 372 |
| 10.4. Проектирование аналоговых схем с учетом пригодности для массового производства..... | 373 |
| 10.5. Некоторые практические методы..... | 375 |
| 10.6. Заключение..... | 376 |
| Литература..... | 376 |
| Глава 11. Проектирование с учетом вариаций..... | 377 |
| 11.1. Влияние вариаций на будущее проектирование..... | 377 |
| 11.1.1. Вариации параметров на этапе проектирования схем..... | 377 |
| 11.1.2. Влияние на производительность схемы..... | 379 |
| 11.2. Стратегии ослабления влияния вариаций..... | 381 |
| 11.2.1. Стратегия распределения тактовой частоты для минимизации искажений..... | 381 |
| 11.2.2. Методики проектирования СОЗУ, направленные на борьбу с вариациями..... | 387 |
| 11.2.3. «Аналоговая» стратегия для снижения вариаций..... | 397 |
| 11.2.4. Методы борьбы с разбросом параметров в цифровых схемах..... | 405 |
| 11.3. Методология углового моделирования для КМОП-процессов с нанометровой проектной нормой..... | 412 |
| 11.3.1. Необходимость в статистических моделях..... | 413 |
| 11.3.2. Применение статистической модели..... | 414 |
| 11.4. Новые свойства модели BSIM4..... | 418 |
| 11.4.1. Имплантация областей Halo/Pocket..... | 418 |
| 11.4.2. Утечки стока, индуцированные затвором и утечка прямого туннелирования..... | 419 |
| 11.4.3. Проблемы моделирования..... | 421 |
| 11.4.4. Характерные проблемы моделирования..... | 421 |
| 11.4.5. Выводы по моделированию..... | 421 |
| 11.5. Заключение..... | 422 |
| Литература..... | 422 |
| Предметный указатель..... | 425 |

Предисловие редактора перевода

Уважаемые читатели! Вашему вниманию предлагается перевод профессиональной книги, посвященной актуальным вопросам проектирования современных интегральных микросхем. В предисловии, написанном Чемингом Ху (Chenming Hu, TSMC and the University of California — Berkeley) весьма точно отмечено:

«Эта книга позволит получить максимальную пользу в таких областях знаний, как интеграция технологических процессов в сфере нанометровых размеров, адаптация приборов к условиям производства, проектирование перспективных схем и их соответствующее физическое воплощение».

Передовые российские дизайн-центры вполне успешно освоили проектирование сложных функциональных СБИС на основе библиотек стандартных элементов и СФ-блоков, предоставляемых компаниями Foundry. Однако при этом за последние годы, естественно, произошел серьезный разрыв в их возможностях проектирования цифровых схем и освоении особенностей качественного проектирования аналоговых и аналого-цифровых микросхем на физическом уровне. Особая актуальность понимания данных особенностей для российских разработчиков наступила в связи с освоением отечественным производством технологических уровней 180–90 нм и активными разработками технологий 65–45 нм. Эти знания являются важнейшими в первую очередь для инженеров ОАО «НИИМЭ», осуществляющих проектирование на физическом уровне при разработке библиотек стандартных элементов, ячеек и схем памяти, базовых аналоговых СФ-блоков. Однако они также весьма важны для инженеров всех других дизайн-центров, занимающихся разработкой современных СБИС, содержащих различные аналого-цифровые и/или цифроаналоговые преобразователи, современные сверхбыстродействующие интерфейсы и т. п. А заключительные главы книги, посвященные методам проектирования, направленным на обеспечение технологичности в производстве и повышению выхода годных за счет оптимизации топологического проектирования, весьма полезны для разработки всех типов СБИС, включая «чисто» цифровые схемы, разработка которых в предыдущих технологических уровнях могла быть реализована практически без оптимизации топологии.

Следует заметить, что в русскоязычной литературе издание книг, посвященных проектированию микросхем, осуществляется весьма регулярно. Автором этих строк найдено в Интернете 9 книг, изданных в период 2005—2013 гг. Однако часть из них написана профессорами различных университетов в качестве учебных пособий для студентов. Чаще всего они содержат самые общие сведения по типам микросхем, технологиям их изготовления (как правило, весьма устаревшим) и самым общим методам проектирования, описанным в основном в предыдущие десятилетия развития микроэлектроники [1–4]. Как следствие, в этих книгах практически отсутствуют сведения не только о методах и особенностях проектирования современных СБИС с проектными нормами 0,25 мкм и менее, но и о современных системах проектирования, с использованием которых осуществляется разработка практически всех современных СБИС.

В учебном пособии профессора МИЭТ Ю. Ф. Адамова [5], напротив, описаны практически все этапы проектирования СБИС и систем на кристалле (СнК), а также множество параллельных сведений (о технологии, надежности, контроле, корпусах и т. п.). С учетом весьма ограниченного объема книги (всего 112 стр.) большинство материала изложено настолько сжато, что практически представляет собой ссылку на наличие

этапов проектирования и другие разделы, обозначенные в оглавлении. При этом сведений об особенностях проектирования при переходе к глубокосубмикронным технологиям в данной книге также нет.

В книге известного ученого профессора Г. Г. Казеннова [6] (изд. 2005 г.), проработавшего много лет заведующим кафедрой «Проектирование и конструирование интегральных микросхем» (ПКИМС) МИЭТ, весьма обстоятельно изложены как методы и средства проектирования, так и наиболее используемые компьютерные системы проектирования (Cadence, Synopsys, Mentor Graphics). При этом основное внимание уделено методологии проектирования и общим вопросам САПР. Вопросы компонентного (т. е. физического) проектирования в книге практически не рассмотрены.

В широко известной в нашей стране книге В. Немудрова и Г. Мартина [7] (изд. 2004 г.) дано определение понятия «система на кристалле» и изложена *«полная методология проектирования SOC, включающая системный, функциональный, логический и физический уровни проектирования SOC»* [аннотация книги]. Однако с учетом времени издания этих книг (2005 и 2004 г.) в них также нет особенностей проектирования глубокосубмикронных и тем более нанометровых СБИС и, соответственно, разделов, посвященных физическому проектированию на этих уровнях технологии.

В справочнике по проектированию [8] описано множество практических полезных сведений по схемотехнике и топологии аналоговых КМОП интегральных микросхем, включая принципы построения согласованных элементов, особенности размещения аналоговых блоков на кристалле, схемотехнику операционных усилителей, компараторов, источников опорного напряжения и других аналоговых блоков. Естественно и в этой книге, изданной в 2005 году на основе (как указано в предисловии) «опыта работы авторов в отделе аналоговых микросхем «Ангстрем», нет сведений по особенностям проектирования глубокосубмикронных и, тем более, субстонанометровых СБИС.

Капитальный труд белорусских авторов [9], изданный в 2012 г., судя по предисловию, претендует на наиболее современное изложение на русском языке в области проектирования СБИС. Причем акцент делается именно на транзисторном уровне проектирования (т. е. физическом). Как указано в предисловии, *«основное достоинство предлагаемой авторами книги и заключается в детальном описании принципов работы и правил применения этих современных базовых элементов в составе микроэлектронных устройств»*. При этом практически вся «современность» ограничилась технологическим уровнем 0,35 мкм при описании физических основ работы полевых транзисторов в первой главе книги (если не считать коротких разделов 2.6 и 2.7, посвященных описанию физических и конструктивно-технологических ограничений при проектировании маломощных КМОП БИС, в которых приводятся весьма устаревшие ссылки {1993 г., ссылки 42, 43} на оценки уменьшения длины канала транзисторов). В последующих главах представлено много практического материала по описанию базовых логических элементов для КМОП-, биполярной и БиКМОП-технологий. Однако для разработки современных СБИС на основе глубокосубмикронных и тем более нанометровых технологий данный материал имеет весьма мало практической пользы, т. к. базируется в основном на технологиях со значительно большими проектными нормами. И уж совсем непонятно, зачем авторы повторили описание схемотехники цифровых элементов на основе биполярной технологии, которая перестала быть актуальной уже более 10 лет назад. В 7-й и 8-й главах описаны принципы построения и реализация устаревших интерфейсов. Между тем, современные интерфейсы, которые, как правило, уже являются не отдельными схемами, а IP-блоками СБИС (LVDS, USB и т. д.), даже не упоминаются.

Таким образом, краткий обзор изданной литературы по проектированию современных СБИС также показал своевременность (или даже некоторую запоздалость) издания предлагаемой книги на русском языке, которая, по мнению многих специалистов, с которыми автор этих строк обсуждал ее актуальность, должна стать настольной книгой всех отечественных разработчиков современных СБИС, занимающихся вопросами проектирования на физическом уровне.

В главах 1, 2 и 3 книги представлены особенности технологии СБИС уровня 90 нм и перспективы дальнейшего развития. Так как книга была издана в 2005 г. (т.е. почти сразу после освоения технологического уровня 90 нм), то некоторые из прогнозов авторов в части технических решений по развитию технологий уровня 65—45 нм не оправдались¹.

Сведения, изложенные в этих главах, будут весьма полезны не только разработчикам СБИС с точки зрения понимания особенностей технологического процесса и необходимости их учета для более качественного проектирования, но и инженерам-технологам с точки зрения более эффективного взаимодействия с разработчиками и более качественной подготовки правил проектирования (DRM), в том числе и для практического использования в процессе собственной разработки технологий следующих поколений.

Кроме профессиональных инженеров-технологов и конструкторов СБИС, эта книга будет весьма полезной преподавателям технических университетов, читающим лекции не только по проектированию, но и по технологии современных микросхем.

Работа над переводом и редактированием перевода книги заняла довольно много времени (1,5 года). Текст очень «профессиональный» и содержит много специфичных терминов, с которыми не только переводчики, но и российские специалисты еще не сталкивались. Перевод приходилось очень тщательно проверять на соответствие физическому, технологическому или схмотехническому смыслу. Должен выразить благодарность специалистам НИИМЭ: Павлу Игнатову, Олегу Гушину и Дмитрию Шипицину, с которыми консультировался в особенно затруднительных случаях толкования некоторых английских терминов, а также Сергею Кочанову, принявшему участие в редактировании перевода книги. Кроме этого, особую благодарность должен выразить Александру Борисовичу Невскому, оказавшему существенную помощь в редактировании перевода введения, 1-й, 2-й и 3-й глав книги.

Несмотря на столь тщательный подход к переводу и редактированию, предполагаю, что в русском тексте все же могли остаться неверные формулировки специфичных терминов. Замечания читателей приветствуются по адресу n.shelepin@list.ru

Н. А. Шелепин, д. т. н.

Литература к предисловию редактора перевода

- [1]. В. П. Шелохвостов, В. Н. Чернышов, Проектирование интегральных микросхем // Тамбов, Издательство ТГТУ, 2008. — 208 с.
- [2]. А. А. Жигальский, Проектирование и конструирование микросхем // Учебное пособие. — Томск: ТУСУР, 2007. — 195 с.

¹ Все несостоявшиеся прогнозы авторов в области развития технологии в данном русскоязычном издании помечены, и к ним сделаны соответствующие примечания редактора перевода.

- [3]. Б. Г. Коноплев, Е. А. Рындин, Н. К. Приступчик, М. А. Денисенко, Проектирование интегральных схем. Учебное пособие // Таганрог: Изд-во ТТИ ЮФУ, 2010. – 76 с.
- [4]. В. Д. Попов, Г. Ф. Белова, Физические основы проектирования кремниевых цифровых интегральных микросхем в монолитном и гибридном исполнении // Учебное пособие. – СПб.: Издательство «Лань», 2013. – 208 с.
- [5]. Ю. Ф. Адамов, «Проектирование систем на кристалле» // Москва, 2005. 112 с.
- [6]. Г. Г. Казеннов, Основы проектирования интегральных схем и систем // БИНОМ. Лаборатория знаний, 2005, 295 с.
- [7]. В. Немудров, Г. Мартин, Системы на кристалле. Проектирование и развитие // М.: Техносфера, 2004. – 216 с.
- [8]. В. И. Эннс, Ю. М. Кобзев, Проектирование аналоговых КМОП-микросхем. Краткий справочник разработчика // Изд-во: Горячая линия–Телеком, 2005. 456 с.
- [9]. А. И. Белоус, В. А. Емельянов, А. С. Турцевич // «Основы схемотехники микроэлектронных устройств», М: Техносфера, 2012. – 472 с.

Предисловие

Последние десятилетия, прошедшие под знаком постоянных усилий, направленных на расширение границ КМОП-технологии, дали поистине чудесные результаты. Мир, в котором мы живем, был преобразен сложными интегральными схемами, ныне насчитывающими миллиард транзисторов с шириной линий менее 100 нм, изготовленных заводах стоимостью в несколько миллиардов долларов. Микроэлектронная революция оказалась возможной только благодаря самоотверженности и изобретательности призванных специалистов своего дела.

В то же время проектировщики ИС (интегральных схем), специалисты по приборной интеграции и технологи всегда осознавали преимущества широкого понимания различных аспектов технологии ИС и боролись против изолированного использования знаний путем постоянного обучения. Для получения максимально возможных приборных характеристик проектировщики ИС должны хорошо понимать физические ограничения прибора, межсоединений и производства. Для разработчиков технологии знание вклада технологии в перспективные конструкции обеспечивает необходимый фундамент для принятия грамотных технологических решений.

Несмотря на то, что необходимость знаний в смежных областях существовала всегда, она по ряду причин в последние годы имеет тенденцию только к увеличению. Скорость вхождения новой технологии и скорость нарастания быстродействия схем уже значительно превысили исторические отметки за предыдущие два десятилетия. Ускоренный темп развития может и не продержаться в течение продолжительного времени; и, тем не менее, в настоящее время существует больший, чем прежде, объем знаний, ожидающий освоения и использования соответствующими специалистами. Вторая причина состоит в том, что по мере усложнения вопросов, связанных с миниатюризацией (масштабированием технологии), поиск компромисса между величиной тока утечки и быстродействием, шириной проводника и стабильностью должен (теперь еще более, чем прежде) осуществляться осмысленно при проектировании и изготовлении. В конечном итоге большое и все возрастающее количество специалистов работают в компаниях, специализирующихся либо только в области проектирования, либо только производства (то есть либо в компаниях без производственных мощностей, либо, наоборот, в «кремниевых мастерских», изготавливающих ИС по проекту заказчика — фаундри). Для того чтобы увидеть полную картину, этим узким специалистам, по сравнению с другими, работающими в интегрированных ИС-компаниях, предстоит решить сложные проблемы.

Существует много книг, посвященных либо производству полупроводников, либо проектированию ИС, но только немногие из них предлагают всесторонний взгляд на текущее положение дел в обеих областях. Эта книга позволит получить максимальную пользу в таких областях знаний, как интеграция технологических процессов в сфере нанометровых размеров, адаптация приборов к условиям производства, проектирование перспективных схем и их соответствующее физическое воплощение.

Первый раздел книги состоит из трех глав, посвященных современному состоянию и будущим тенденциям развития приборов и технологии. Второй раздел состоит из шести глав, посвященных вопросам проектирования и взаимосвязи с технологией, таким как целостность сигнала и проектирование межсоединений, а также их практическим решениям. В последнем, третьем разделе рассматриваются вопросы влияния проекти-

рования на выход годных, а также особенности проектирования для адаптации изделия к условиям производства.

Эта книга предназначена для проектировщиков ИС и технологов, желающих получить удобный, современный материал от специалистов-практиков, признанных экспертов индустрии. В технологии ИС до сих пор остается много белых пятен, ждущих своего исследователя и открытия новых горизонтов. Эта книга будет приятным дополнением к нашим дорожным сумкам!

*Чеминг Ху,
полупроводниковая компания Тайваня
и Калифорнийский университет в Беркли,
январь 2004*

Вступление

В 1965 году Гордон Мур сформулировал свой, теперь уже хорошо известный закон Мура, ставший катализатором достижений полупроводниковой промышленности. Прогресс современной полупроводниковой промышленности открывает эру суб-100-нанометровых размеров. Прогресс сталкивается с вопросами управления технологическими процессами, а затем и с проблемами проектирования схем и проектирования на физическом уровне. В результате наблюдаемое быстрое уменьшение степеней свободы в методиках проектирования ставит вопрос о необходимости применения революционного подхода к способу пакетирования схем, которые не только обладают функциональностью, но и отвечают проектным параметрам и обеспечивают высокий выход годных.

Однако взрывной рост применения бизнес-модели разработки полупроводниковых приборов в отсутствие собственных производственных мощностей (fabless-компании) привел к отрыву инженеров-технологов по процессам и специалистов по приборам от проектировщиков ИС. При этом возникает некоторое недопонимание того, насколько их проектные решения адаптированы к условиям производства и как они влияют на выход годных и характеристики ИС, обусловленные фундаментальными технологическими ограничениями и физикой приборов. Успех предприятия и продукции зависит от знания того, как решать эти проблемы по мере вхождения в эру КМОП-нанoeлектроники. Для устранения своих постепенно увеличивающихся пробелов в знании, обусловленных постоянным масштабированием технологии, инженерные сообщества должны работать вместе. Без этого намеченные цели реализовать будет невозможно.

В процессе работы мы сталкиваемся с вопросами, на которые невозможно найти ответ только в одной книге. Информация находится в разбросанном виде и по большей части в головах экспертов, с которыми мы консультировались в процессе работы. Данная книга представляет собой попытку подачи целостного материала с учетом такого взаимодействия и его влияния на адаптированность к условиям производства, выход годных и характеристики разрабатываемых ИС. В ней даются практические рекомендации, которые должны помочь проектировщикам избежать некоторых ошибок, присущих полупроводниковым технологическим процессам, а также перекидывается крайне необходимый мостик между проектированием на физическом и схемотехническом уровнях и технологическими процессами, технологичностью и выходом годных. Приводимые нами в данной книге концепции являются исключительно важными, в особенности с учетом того, что технология развивается в направлении нанометровых размеров КМОП-элементов.

Книга состоит из трех частей. В первой части приводится детальное описание глубоких субмикронных технологических процессов, что должно помочь проектировщикам разобраться со связанными с ними проблемами и обеспечить более глубокое понимание ограничений, обусловленных размерным масштабированием. Во второй части рассматривается влияние масштабирования технологического процесса на проектирование схем и физическую реализацию. В заключительной части рассматриваются вопросы, связанные с технологичностью и выходом годных, а также даются рекомендации по обеспечению адаптированности изделия к условиям производства и соответствию целевым значениям выхода годных и технических характеристик.

В главе 1 дается обзор вопросов, с которыми разработчикам приходится сталкиваться при использовании технологических процессов глубокого субмикронного диапазона. Эта глава формирует каркас для содержания всех остальных разделов книги. Часть первая содержит главы 2 и 3. Во второй главе рассматриваются современное состояние и возможные перспективные решения для начального (FEOL — Front-End-Of-the Line) и заключительного (BEOL — Back-End-Of-the Line) этапов технологического маршрута изготовления ИС с проектными нормами от 90 нм и менее. В разделе FEOL рассматриваются вопросы, связанные с затворным диэлектриком и развитием технических средств по созданию напряженных структур, включая вопросы создания соответствующего оборудования. В нем также приводится глубокий анализ таких вопросов масштабирования КМОП-элементов, как туннелирование носителей заряда в затворе и температурная нестабильность при отрицательном смещении. В разделе BEOL мы обсуждаем масштабирование локальных и глобальных межсоединений, разработку технологии медных проводников и проблемы реализации межслойного диэлектрика с низким значением диэлектрической проницаемости k , наряду с такими схемами интеграции технологических процессов, как «двойной дамасцен». Глава 3 представляет собой руководство по оптической литографии, охватывающее физику и принцип действия, включая вопросы, связанные с перспективными технологическими процессами и соответствующими решениями.

Часть II состоит из глав с 4 по 9 включительно. В четвертой главе мы даем краткий обзор проблем проектирования приборов для обработки смешанного сигнала и рекомендации, как избежать некоторых характерных ошибок при проектировании схем под перспективные технологические процессы. В пятой главе приводится обзор проблем, связанных с наличием электростатического разряда, с которыми разработчикам придется иметь дело при создании сложных систем на кристалле. Для обеспечения разработчиков знаниями, необходимыми им для учета специальных требований по защите от электростатических разрядов, предлагается детальное рассмотрение таких вопросов, как, например, защита многоканального источника электропитания. В обзор включены также самые последние структуры кремниевых управляемых выпрямителей (SCR — Silicon Controlled Rectifier) как еще один из вариантов разработки стратегии защиты от электростатического разряда. В шестой главе обозначены современные тенденции проектирования буфера системы ввода/вывода (I/O). Предлагается обзор технических требований к различным системам ввода/вывода (V/V) наряду с современными тенденциями проектирования их физического воплощения. В целях иллюстрации важности разработки шины питания системы V/V подробно рассматриваются проблемы, связанные с обеспечением подачи питания по шинам и наличием коммутационных помех. Также подробно рассматривается вопрос развязки на кристалле, так как она становится ключевой характеристикой, необходимой для удовлетворения технических требований, предъявляемых к быстродействующему интерфейсу. Глава 7 посвящена основам проектирования ДОЗУ (DRAM — Dynamic random access memory) и далее — методам успешного масштабирования в nano-KМОП-техпроцессах запоминающего конденсатора, транзистора выборки и усилителя считывания. Глава 8 посвящена анализу целостности сигнала и проектным решениям межсоединений на кристалле. В первую очередь, рассматриваются методы эффективного устранения паразитных явлений, причем с акцентом на проблемы, связанные с индуктивностью. Затем рассматриваются методы анализа синхронизации сигнала, перекрестных помех и целостности сигнала. В заключительной части главы мы рассматриваем проектные

решения на физическом и схемотехническом уровнях в контексте улучшения целостности сигнала в высокоскоростных системах передачи. Глава 9 представляет собой подробный обзор существующих методик проектирования на различных уровнях конструирования системы и различных методов создания маломощных конструкций на различных уровнях конструирования систем с акцентом на конструирование логических схем и схем памяти. В конце главы обсуждаются перспективные методы проектирования систем со сверхнизким потреблением мощности для будущих уровней технологии с критическими размерами ниже 90 нм.

Часть III состоит из глав 10 и 11. В главе 10 предлагаются рекомендации по разработке проектов ИС, адаптированных к условиям производства. Многочисленные примеры, включая пост-ОРС (Optical Proximity Correction) моделирование, показывают, наряду с методами совершенствования, наличие потенциальных проблем с физической топологией схем. В главе 11 рассматриваются принципы проектирования надежных, высококачественных схем, устойчивых к вариациям параметров технологических процессов. Глава начинается с обсуждения причин вариации параметров техпроцесса и других изменений и их влияния на функциональность и характеристики интегральных схем. В качестве учебных примеров для иллюстрации этих принципов были выбраны три основных области проектирования (генераторы синхросигнала, статическое RAM и ряд цифровых схем). В эту главу также включены некоторые рекомендации по проектированию с учетом пригодности для массового производства. Глава завершается кратким обзором требований к наличию статистической эквивалентной модели для конструкций КМОП-наносхем и кратким описанием новых характеристик, появившихся в модели BSIM4 (Berkeley Short-channel IGFET Model).

Благодарности

Мы бы хотели поблагодарить большое количество людей, внесших свой вклад в эту книгу. Прежде всего, мы благодарим специалистов, написавших некоторые главы или разделы. Мы благодарим технологов из компании Applied Materials, Inc. — Резу Аргавани (Reza Arghavani), Фарана Нури (Faran Nouri) и Гэри Майнера (Gary Miner), за их вклад в раздел по требованиям, предъявляемым к оборудованию для обработки пластин. Мы выражаем свою признательность Халеду Ахмаду (Khaled Ahmad) из компании Applied Materials, Inc. за предоставление технических характеристик оксида кремния, приведенных в разделе второй главы, посвященном начальной стадии технологического маршрута изготовления ИС. Мы благодарим Кьянг Лу (Qiang Lu) — технолога из Калифорнийского университета, г. Беркли, работающего в настоящее время в компании Advanced Micro Devices, Inc., за его вклад в раздел, посвященный начальной стадии технологического маршрута изготовления ИС. Мы также благодарим Франца Зака (Franz Zach) — специалиста из компании IBM Microelectronics, за предоставление великолепного учебного материала по оптической литографии, используемого в нано-КМОП-режиме, включенного в третью главу. Мы благодарим признанного авторитета в своей области — профессора Минг-Ду Кера (Ming-Dou Ker), работа которого представлена в пятой главе. За седьмую главу мы выражаем свою благодарность Мартину Броксу (Martin Brox) — гуру по системам памяти в компании Infineon. Мы выражаем признательность Ксуйджу Хуанге (Xuejue Huang) из компании Rambus за великолепные материалы для восьмой главы и Хуфанг Кина (Huifang Qin) из Калифорнийского университета в г. Беркли за написание большей части девятой главы и добавление в нее авторских материалов.

Мы также выражаем благодарность Altera Corporation за оказанную поддержку и, в частности, Уанли Чангу (Wanli Chang), Уильяму Хуангу (William Hwang), Канг-Вей Лаю (KangWei Lai), Ричарду Чангу (Richard Chang), Леону Женгу (Leon Zheng), Майан Смит (Mian Smith) и Говарду Кану (Howard Kahn) за работы по моделированию. Мы благодарим Синтию П. Тран (Cynthia P. Tran) за предоставление графического материала для данной книги, а также за участие в работе по литографическому имитационному моделированию. Мы благодарим Джона Мэдока (John Madok) и Майкла Смейлинга (Michael Smauling) за помощь в выборе специалистов из компании Applied Materials для написания разделов данной книги и консультационные услуги.

Мы очень признательны Шуджи Икеда (Shuji Ikeda) из компании Trecenti/Hitachi; Руичи Хасисита (Ryuichi Hashishita), Ясуси Ямагата (Yashushi Yamagata) и Тосияки Хоси (Toshiaki Hoshi) из компании NEC; Ричарду Кляйну (Richard Klein) и Кьянг Лу (Qiang Lu) из компании Advanced Micro Devices — за предоставление технических данных и многочисленные микроснимки, используемые в этой книге, полученные с помощью сканирующей и туннельной электронной микроскопии. Мы благодарим Фунг Чена (Fung Chen), Армин Либхен (Armin Liebchen) и Сабиту Рой (Sabita Roy) из компании ASML Masktools за оказанную помощь с литографическим моделированием, а также за предоставление средств моделирования, используемого для создания симулированного воздушного изображения профиля резиста, используемого для иллюстративных целей.

Мы благодарим профессора Марка Гринстрита (Mark Greenstreet) из университета Британской Колумбии за рецензирование оглавления и за многочисленные ценные соображения. В меньшей степени мы выражаем свою благодарность профессору Ченминг Ху (Chenming Hu) за проницательные рекомендации и написанное им предисловие к этой книге.

ГЛАВА I

ПРОБЛЕМЫ МАСШТАБИРОВАНИЯ КМОП-СХЕМ В НАНОДИАПАЗОНЕ И ИХ ПОСЛЕДСТВИЯ

I.1. Методология проектирования в эру КМОП-схем нанодиапазона

По мере масштабирования технологии за пределы 100-нм размеров элементов традиционный подход к проектированию в целях обеспечения требуемой функциональности и выхода годных кремниевых приборов должен модифицироваться с учетом увеличивающейся изменчивости параметров техпроцесса, сложностей создания межсоединений и прочих новых усиливающих физических эффектов.

Масштабирование оксидного слоя затвора (рис. 1.1) в КМОП-нанодиапазоне ведет к существенному увеличению в затворе прямого туннельного тока. Субпороговую утечку и туннельный ток затвора (рис. 1.2) уже нельзя рассматривать в качестве эффектов вторичного порядка [1, 15]. Эффект индуцированного затвором тока утечки в стоке (GIDL — Gate-Induced Drain Leakage) будет ощущаться в схемах ДОЗУ (глава 7) и маломощных статических ОЗУ (глава 9), в которых напряжение затвора задается отрицательным относительно истока [15]. Неучет этих явлений обернется неработоспособностью схем СОЗУ (SRAM — Static Random Access Memory) и ДОЗУ или любой другой схемы, в которой используется данный метод для уменьшения допороговой утечки. В некоторых случаях неблагоприятное воздействие может сказаться на работе широкополосных мультиплексоров и триггеров.

Допороговая утечка тока и ток затвора — не единственные проблемы, подлежащие решению на функциональном уровне; речь также идет об управлении питанием для таких высокопараметрических схем, как микропроцессоры, процессоры цифровой обработки сигналов (ЦОС) и графические процессоры. Вопрос управления питанием также остро стоит для мобильных применений.

Кроме того, в технологии суб-100-нм уровня возможности оптической литографии будут использоваться на пределе даже при использовании методов повышения разрешающей способности (RET — Resolution Extension Technologies). Применение этих методов ведет к увеличению стоимости фотошаблонов и общего времени производственного цикла. Многократное перепроектирование с точки зрения получения технологического

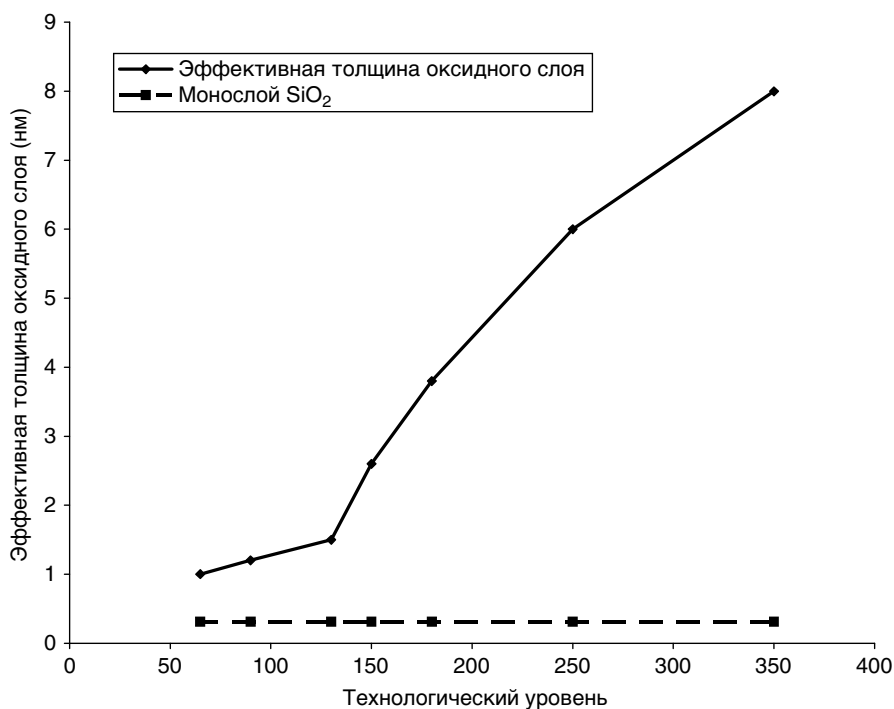


Рис. 1.1. Зависимость эффективной толщины подзатворного оксидного слоя от уровня технологии

решения уже не является экономически целесообразным. В прошлом разработчики процессоров могли передавать в производство проектную информацию при уровне верификации достоверности в 98%. При этом удаление ошибок проектирования продолжалось путем изготовления пробных партий приборов на кремниевых пластинах, изготовление которых на несколько порядков величины быстрее товарных партий, и это приводит к ускорению поставки изделия на рынок. В настоящее время в связи с более высокой стоимостью комплекта фотошаблонов и более длительным производственным циклом цена компромиссного решения для получения рентабельного изделия и наиболее быстрого выхода на рынок будет однозначно другой [28].

Так как проектные нормы не сокращаются в одинаковом темпе, то устаревшие конструкции приходится полностью перерабатывать для технологического уровня нового поколения, если, конечно, не предусматривать возможность изменения проектных норм и приносить в жертву плотность размещения элементов предшествующих уровней технологии для того, чтобы обеспечить возможность масштабирования без перепроектирования топологии схемы. Все еще остается необходимость в повторном моделировании критических схем, причем она тоже может быть минимизирована при условии использования методик проектирования схем, облегчающих масштабирование. Для получения масштабируемого проекта необходим предварительный анализ и принятие определенных компромиссных решений, с тем чтобы стала возможной реализация более быстродействующей схемы меньшего размера, обеспечивающая рентабельный прирост значений характеристик качества на среднем этапе срока жизни схемы посредством масштабирования процессов с минимальной доработкой проекта, а лучше и без нее.

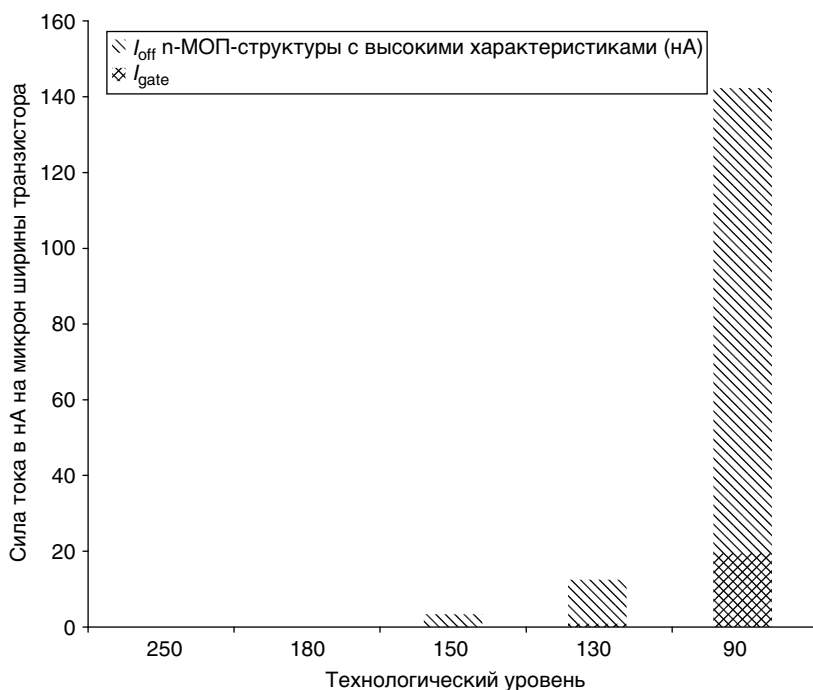


Рис. 1.2. Ток затвора I_{gate} и допороговая утечка тока в зависимости от уровня технологии

Хорошее понимание технологических трудностей и ограничений, вызванных оборудованием, которые детально рассмотрены в последующих главах, является ключевым фактором, обеспечивающим возможность прогнозирования смены тенденций в правилах проектирования.

1.2. Инновации, необходимые для продолжения масштабирования характеристик

Показатель качества транзистора в настоящее время отклоняется от обратной пропорциональности длине затвора. Как видно из рис. 1.3, время задержки в логической КМОП-структуре с коэффициентом разветвления по выходу, равным 4, уменьшается по мере развития технологии. К тому же глобальные межсоединения не масштабируются, в то время как сопротивление проводника шириной менее 0,1 мкм увеличивается экспоненциально. Это обусловлено главным образом поверхностным рассеянием и ограничениями, связанными с размерами кристаллитов металла, в узкой канавке, ведущих к рассеянию носителей заряда и ухудшению их подвижности [2]. Толщина подзатворного диэлектрического слоя приближается к размерам атома и достигает значения 1,2 нм для технологии уровня 90 нм [22], что составляет около пяти атомарных слоев окисла. На рис. 1.1 показано, как по мере приближения к своему пределу, составляющему один атомарный слой, замедляется процесс масштабирования подзатворного оксидного слоя [26]. Сопротивление области расширения исток-стока (RSD — Source-Drain extension Resistance) должно составлять большую долю сопротивления транзистора

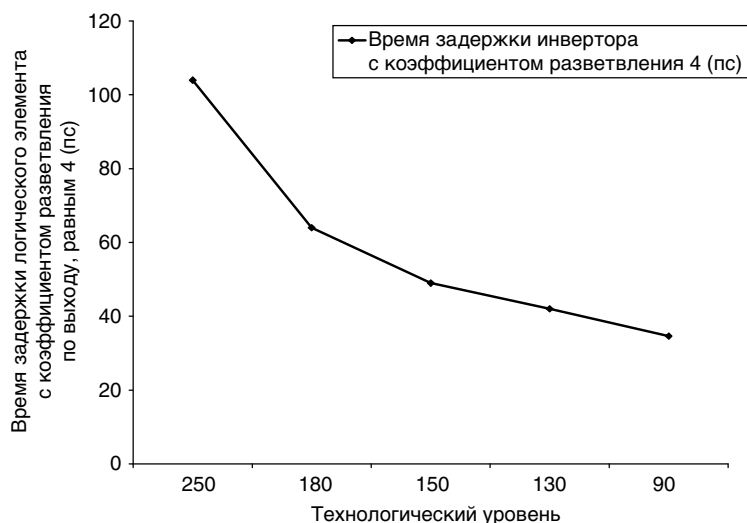


Рис. 1.3. Зависимость задержки логического вентиля от технологического уровня

во включенном состоянии. Легирование области расширения исток-стока было значительно увеличено для 130-нм уровня технологии, причем для возможности уменьшения этого сопротивления необходимо идти на компромисс с такими другими короткоканальными эффектами, как инжекция горячих носителей (НЦИs — Hot-Carrier Injections) и утечка тока, обусловленная межзональным туннелированием. Диффузионные области исток-стока становятся настолько мелкими, что концентрация имплантируемых примесей достигает уровня насыщения и сопротивление уже невозможно уменьшать без активации дополнительных примесей [21].

Поликремниевые линии становятся весьма тонкими — от 70 до 90 нм при 130-нм уровне технологии и порядка 50 нм — при 90-нм технологии (см. рис. 1.4). Это требует достижения компромисса между поверхностным сопротивлением поликремния и током утечки исток-сток. Для уменьшения сопротивления тонких линий из поликремния может потребоваться более высокая степень его силицидирования. Поскольку процесс силицидирования проводится обычно между операциями формирования поликремниевых линий и диффузии истока-стока, увеличение степени силицидирования поликремния приводит к повышенному поглощению силицидом диффузионных областей истока и стока. Вследствие сверхмелких переходов истока и стока это может привести к их проколу в результате поглощения силицидом диффузионных областей стока-ис-

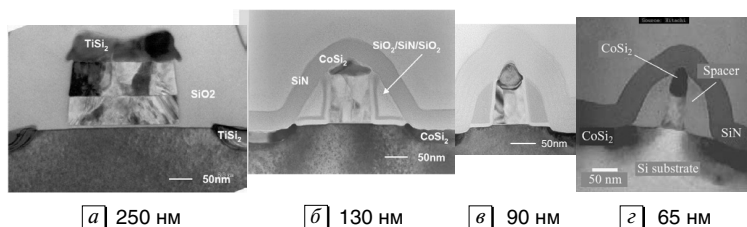


Рис. 1.4. Снимки транзисторов, сделанные с помощью просвечивающего электронного микроскопа (ПЭМ). Снимки (а), (б) и (в) с разрешения NEC и Trecenti/Hitachi; снимок (г) — с разрешения AMD, Inc.

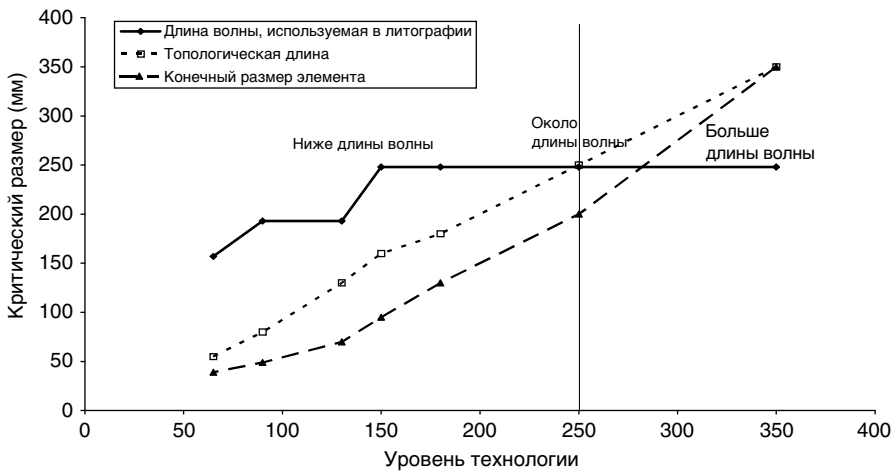


Рис. 1.5. Критический размер (CD — Critical Dimension) поликремниевых элементов в зависимости от длины волны УФ-излучения, используемого в литографии, на различных уровнях технологии

тока. В настоящее время ведутся исследования по доработке технологии формирования приподнятых областей истока-стока в целях уменьшения этого эффекта применительно к 65-нм уровню технологии и, по всей видимости, также и для 90-нм технологии. Некоторым производителям, возможно, придется применить этот способ на более поздней стадии использования 90-нм технологии.

Начиная с 180-нм технологии критические размеры элементов (из поликремния) уже являются субдлинноволновыми по сравнению с длиной волны УФ-излучения, используемого в литографии. Разрыв увеличивается при каждом последующем уровне технологии (см. рис. 1.5). При 65-нм уровне технологии, даже с применением агрессивных методов повышения разрешающей способности (RET), литография на длине волны 193 нм еще больше увеличивает этот разрыв. Для роста разрешающей способности 193-нм сканеров в настоящее время ведутся исследования, направленные на увеличение числовой апертуры литографической системы, включая иммерсионную литографию. Более детальная информация по проблемам литографии приведена в главе 3. Проблемы литографии на длине волны 157 нм и с использованием излучения в экстремальной УФ (EUV — Extreme UltraViolet) области спектра являются весьма серьезными и увеличивают стоимость оборудования и изготовления фотошаблонов, а также длительность производственного цикла. Если 157-нм литография не будет реализована вовремя для 65-нм уровня технологии, то мы будем наблюдать дальнейшее увеличение этого разрыва¹. Разработчики ИС при схемотехническом и физическом проектировании не могут более просто руководствоваться правилами проектирования и технологическими ограничениями, ожидая получить на основе одного комплекта шаблонов просто функцио-

¹ Реальная история развития технологии фотолитографии в период с 2004 года (время написания этой книги) и по настоящее время (2013 год) показала, что литография на длине волны 193 нм обеспечила требования технологии ИС-уровня до 45 нм (в варианте иммерсионного экспонирования) и до 22 нм (при двойном паттернинге, т.е. двойном экспонировании); длина волны 157 нм не была использована из-за проблем материалов, и, согласно прогнозам ITRS (The International Technology Roadmap for Semiconductors), дальнейшее развитие технологии литографии пойдет по пути применения EUV-излучения с длиной волны 13,5 нм. — *Прим. ред.*

нирующий и даже немасштабируемый проект, удовлетворяющий различным задачам проектирования, таким, что существуют для высокопараметрических и маломощных мобильных применений. Разработчики ИС должны знать, когда можно руководствоваться менее строгими правилами, а не просто смягчать правила применительно ко всему проекту, что делает невозможным физическое масштабирование.

При сочетании материалов и техпроцессов, используемых при производстве новых структур, возникают сложности интеграции, справиться с которыми должны помочь новые проектные и топологические решения [20]. Специалисты по процессам и разработчики технологии не смогут справиться со всеми проблемами, возникающими в результате суб-100-нм масштабирования, которые включают сложности интеграции и трудности, возникающие на стадии производства и управления технологическими процессами. Мы предлагаем методiku, которые позволит проектировщикам схем и проектировщикам на физическом уровне эффективнее решить проблемы, связанные с использованием суб-100-нм технологий, и обеспечить некоторое понимание особенностей технологических процессов, которое они должны учитывать при проектировании. Аналогично специалистам по процессам важно понимать основы проектирования на физическом уровне, с тем чтобы обеспечивалась возможность адаптации технологии к надежному и масштабируемому конструктивному решению как на физическом уровне, так и с точки зрения масштабирования характеристик.

Для реализации новых техпроцессов разработчикам технологии не обойтись без применения некоторых инновационных решений, что, в свою очередь, также не может быть осуществимо без разработки новых материалов. Бесспорно, что масштабирование характеристик на базе физического масштабирования уже достигло своего максимума и более неспособно обеспечивать какой-либо прирост.

Как мы уже смогли убедиться, дальнейшее масштабирование характеристик оказалось возможным с помощью некоторых уже готовых инноваций и в большей степени — благодаря использованию инноваций в стадии разработки. Известно, что в зависимости от источника данных КНИ-технология («кремний-на-изоляторе») улучшает характеристики транзистора приблизительно на 20—30%. В некоторых микропроцессорах КНИ-технология уже стала предпочтительным выбором. Применение напряженного кремния на релаксированных Si-Ge-подложках обеспечило прирост подвижности носителей заряда вплоть до 30%. Подложки этих типов имеют ограниченное применение в силу их дороговизны и предрасположенности к дислокационным дефектам.

Использование покровного нитридного слоя представляет собой еще один инновационный метод получения напряженного кремния в целях увеличения подвижности носителей заряда. Такой слой, вследствие наличия в нем напряжений сжатия, генерирует деформацию в диффузионной области стока-истока, создавая, таким образом, деформацию в транзисторном канале по мере того, как происходит растягивание диффузионных областей исток-сток. Это работает исключительно при уровне технологии 90 нм и ниже, так как канал должен быть расположен непосредственно вблизи напряженной области стока-истока. Усиление прибора с более длинным каналом будет меньше. Даже для транзисторов 90-нм уровня технологии с топологической длиной канала больше минимальной будет иметь место меньшее усиление. К сожалению, для 130-нм технологии возможности данного варианта улучшения являются ограниченными. Эта методика представляется более предпочтительной для создания напряженного состояния, так как для нее не нужны специальные подложки и до настоящего времени не наблюдались дислокации. И, самое главное, для нее необходимо всего лишь изме-

нить набор параметров процесса, так как в дополнительных технологических этапах она не нуждается.

Переход на медные межсоединения обеспечил кратковременное ослабление напряженности при продолжении масштабирования характеристик в режиме, близком к предельному. Это пример инновации, подразумевающий необходимость в замене материала. На подходе множество других подготовленных инновационных решений, включая приподнятую область диффузии исток–стока, двухзатворные полевые транзисторы, трехзатворные полевые транзисторы в узких гребнях кремния (FinFET — Fin-Field Effect Transistor), диэлектрики с высоким k и металлические затворы [4]. Будут ли они применены на практике, зависит от соотношения рисков и пользы, а также от их стоимости, сложностей интеграции и производства и от сроков реализации.

1.3. Обзор проблем суб-100-нм масштабирования и субдлинноволновой оптической литографии

1.3.1. Проблемы заключительного этапа технологического процесса изготовления ИС (BEOL) (металлизации)

Сопrotивление металлических линий

Уменьшение ширины металлической линии до значений менее 0,1 мкм сопровождается экспоненциальным увеличением сопротивления. В случае более узких линий материал барьерного слоя, имеющий более высокую величину удельного сопротивления, занимает большую часть площади сечения проводника [2]. Меньшая ширина проводящих линий дает в результате меньший размер зерен, которые, находясь в узкой канавке, не могут перекристаллизоваться в зерна большего размера, что, таким образом, увеличивает величину удельного сопротивления.

Кроме того, разброс критических размеров (CD) толщины барьерного материала и ширины канавки (ширины проводящей линии) приводит к еще большему разбросу значений сопротивления. Это вкупе с эрозией и образованием сферических углублений в проводящих линиях как результат процесса химико-механической планаризации (CMP — Chemical-Mechanical Planarization), равно как и дисторсии в ходе выполнения процессов литографии и травления, ведет к дальнейшему увеличению разброса величины сопротивления проводника [19] (рис. 1.6).

Резистивно-емкостные характеристики межсоединения увеличиваются для 130-нм уровня технологии и становятся еще хуже как у локальных, так и у глобальных межсоединений для следующих после 130-нм уровней технологии. Как было показано выше, величина сопротивления увеличивается (см. рис. 2.25), хотя масштабируемая емкость не уменьшается, что ведет к увеличению задержки для локальных соединений, несмотря на то, что длина локальных проводников становится короче (рис. 1.7–1.9). Длина глобальных проводников не уменьшается, так как по мере расширения функциональности схемы размер чипа не уменьшается. Например, ядро микропроцессора Pentium 4 Willamette, выполненное по 180-нм технологии, состоит из 42 миллионов транзисторов, а в ядре микропроцессора Northwood, изготовленного по 130-нм технологии, число транзисторов увеличено до 55 миллионов. Это связано с тем, что объем кэш-памяти второго уровня (L2-кэш) в ядре микропроцессора Northwood был увеличен в два раза —

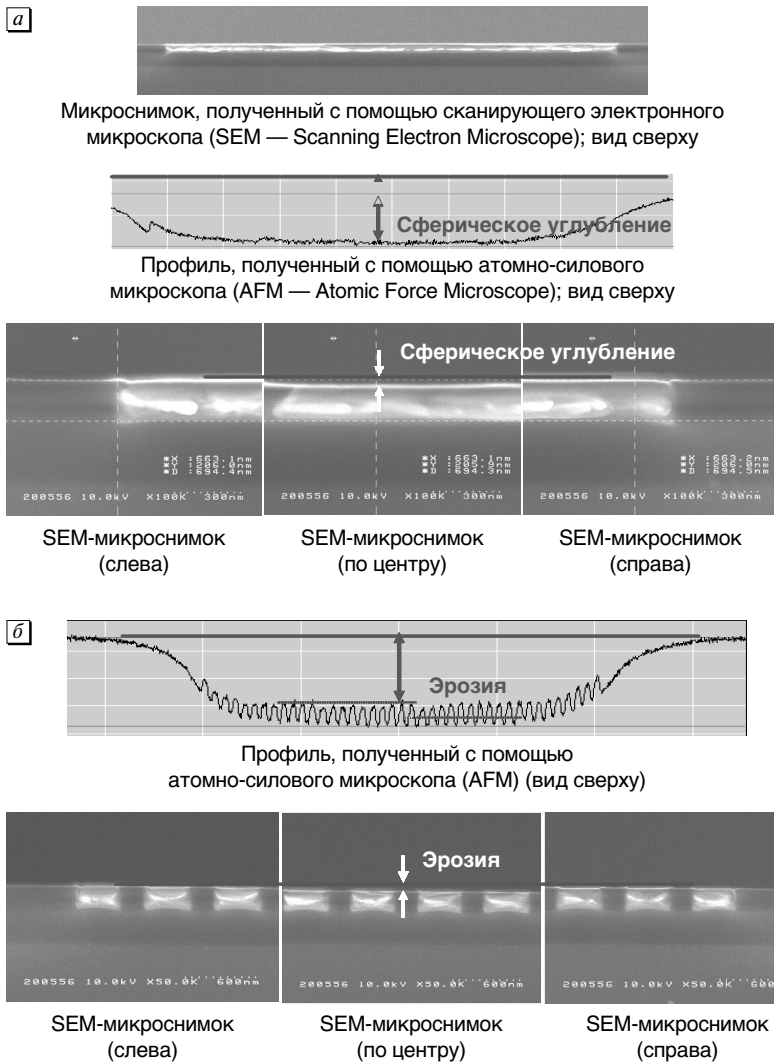


Рис. 1.6. (а) Сферическое углубление в межсоединении: затрагивает более широкую площадь проводника. (б) Эрозия межсоединения: затрагивает площадь проводника и зазора. (Микроснимки предоставлены с разрешения компании Trecenti/Hitachi)

с 256 Кбайт до 512 Кбайт. По мере масштабирования технологии часть площади, к которой можно получить доступ за тактовый цикл, уменьшается. Эта проблема усугубляется для проектов с использованием продвинутых технологий за счет увеличения тактовой частоты, в то время как размер кристалла не уменьшается.

Диэлектрическая постоянная межслойной изоляции многоуровневых межсоединений

Диэлектрик с низким значением диэлектрической проницаемости (ϵ) обеспечивает возможность масштабирования межсоединений с использованием нано-КМОП-процесса, но его реализация становится все более затруднительной по мере уменьшения как ши-

рины линий, так и зазоров. Использование диэлектриков с низким значением k также потенциально чревато наличием рисков, связанных с появлением утечек и снижением надежности в связи с эффектом зависящего от времени пробоя диэлектрика (TDDB — Time-Dependent Dielectric Breakdown) между близко расположенными линиями. Проблемы корпусирования диктуют необходимость формирования на поверхности чипа прочного защитного слоя для обеспечения хорошей механической защиты при выполнении процессов сборки кристалла в корпус. Наличие такого поверхностного защитного слоя означает, что для верхних слоев металлического стека должен применяться диэлектрический материал с более высоким k , что в некоторой степени снижает эффективность технологии с использованием межслойной изоляции с низким значением диэлектрической постоянной. Применение диэлектрика с низким k будет ограничиваться 4 или 5 слоями металлизации в технологическом процессе с использованием 8 или 9 металлических слоев. Смягчающими факторами является то, как используются верхние металлические слои.

Верхние металлические слои обычно используются для распределения мощности. В большинстве конструкций они также используются в качестве синхронизирующих распределительных слоев, таким образом обеспечивая увеличение мощности синхронизирующей сети; кроме этого, они требуют наличия большего числа каскадов буферизации от ФАПЧ, что, помимо прочего, ведет к увеличенной задержке.

Внедрение технологии межсоединений с использованием материалов с низкой диэлектрической постоянной сильно задерживается

Задержка с внедрением технологии материалов с низким k обусловлена наличием проблем с материалом барьерного слоя для медной металлизации, сохранением механической целостности под воздействием ударных нагрузок от столбиковых выводов при сборке в корпус и рядом других технологических проблем. Это привело к тому, что некоторые производители перешли на диэлектрик из фторсиликатного стекла (FSG — Fluoro-Silicate Glass).

Диэлектрик с низким k представляет собой желеобразный и очень пористый материал, склонный к адсорбции влаги и загрязняющих примесей и, соответственно, к последующей дегазации. Мягкость этого материала делает его уязвимым к дефектам, образующимся в результате проведения процесса химико-механической планаризации поверхности (CMP) и ведущим к эрозии, снижению выхода годных, а также влияет на удельное сопротивление проводника. Диэлектрик с низким k также является плохим проводником тепла, что приводит к ухудшению ситуации с электромиграцией (EM — ElectroMigration) в межсоединении и в некоторой степени снижает хорошую устойчивость меди к электромиграции.

Показатель качества межсоединения

Показатель качества (FOM) немасштабированного межсоединения снижается на каждом следующем уровне технологии (см. рис. 1.7—1.9). В прошлом характеристики транзистора определяли общую задержку обработки сигналов. В настоящее время мы находимся в ситуации, когда характеристики межсоединений являются ограничивающим фактором, определяющим быстродействие чипа. Характеристики локальных межсоединений не масштабируются, в то время как глобальные соединения становятся наиболее медленными, в особенности если длина проводника не масштабируется из-за дополнительных функций [12—14]. Несмотря на масштабирование технологии размер схемы остается неизменным по сравнению с предыдущими конструкциями из-за возросшей

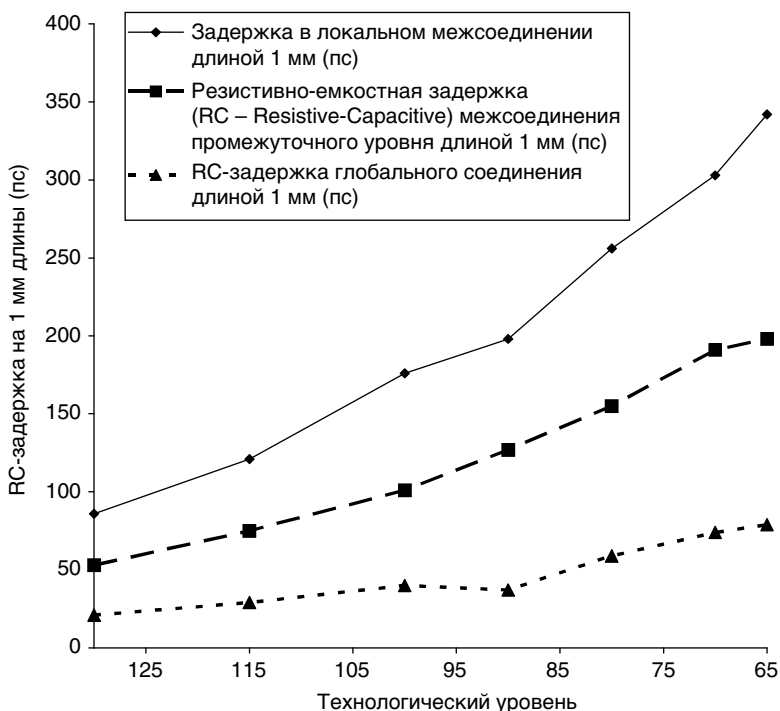


Рис. 1.7. Зависимость задержки межсоединения от технологического уровня

функциональности более современных конструкций. Например, в микропроцессорах размер схемы фактически увеличивается несмотря на масштабирование технологии. Так как размеры схемы увеличиваются несмотря на масштабирование, для передачи сигналов между блоками нам необходимы глобальные межсоединения.

Согласно прогнозу, по мере масштабирования технологии с одновременным ростом тактовой частоты будет наблюдаться уменьшение доступной за один такт площади схемы [13]. Это заставит проектировщиков размещать в глобальных соединениях большее число повторителей, причем в некоторых случаях может оказаться необходимой конвейеризация глобальных сигналов, чтобы можно было лучше масштабировать пути, время передачи сигналов в которых определяется межсоединениями, и чтобы не было путей, ограничивающих тактовую частоту. Однако это приводит как к увеличению площади чипа, потребляемой мощности и тактируемой нагрузки [14], так и усложнению синхронизации всей схемы. С увеличением тактируемой нагрузки также происходит увеличение расфазировки синхронизирующих импульсов. Существует увеличение задержки сигнала, обусловленное наличием конвейерной обработки, которая оказывает также и другое влияние на микроархитектуру схемы.

Эти проблемы вынуждают разработчиков схемы отказываться от уменьшения шага межсоединений как для улучшения характеристик глобальных соединений, так и для обеспечения целостности сигнала. Увеличение шага проводников снижает связь между линиями, но емкостная характеристика будет асимптотически приближаться к точке, где емкость не будет больше уменьшаться с дальнейшим увеличением зазоров (см. рис. 1.10). Расстояние, соответствующее достижению минимального значения емкости, также зависит от толщины межслойного диэлектрика. Дальнейшее масштаби-

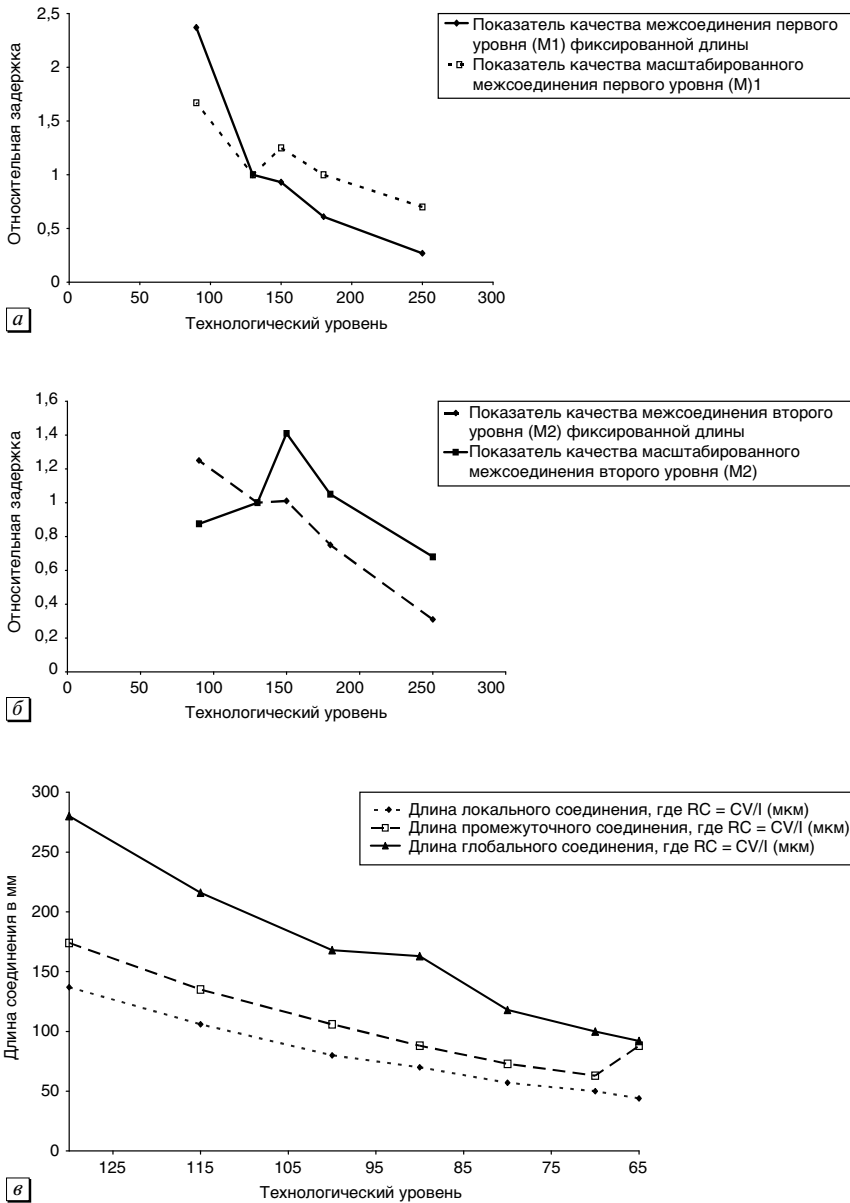


Рис. 1.8. (а) Показатель качества (FOM — Figure Of Merit) локального межсоединения первого уровня металлизации (M1) (без учета эффекта Миллера¹, неповторяющиеся линии); (б) показатель качества (FOM) промежуточного соединения (без учета эффекта Миллера неповторяющиеся линии); (в) эквивалентная длина линии к n-МОП-транзистору (вычисленная как CV/l) в зависимости от уровня технологии

¹ Эффект Миллера (J.M. Miller), состоящий в увеличении эквивалентной емкости близко расположенных проводников, подключенных определенным образом к транзисторам усилителя напряжения. — Прим. ред.

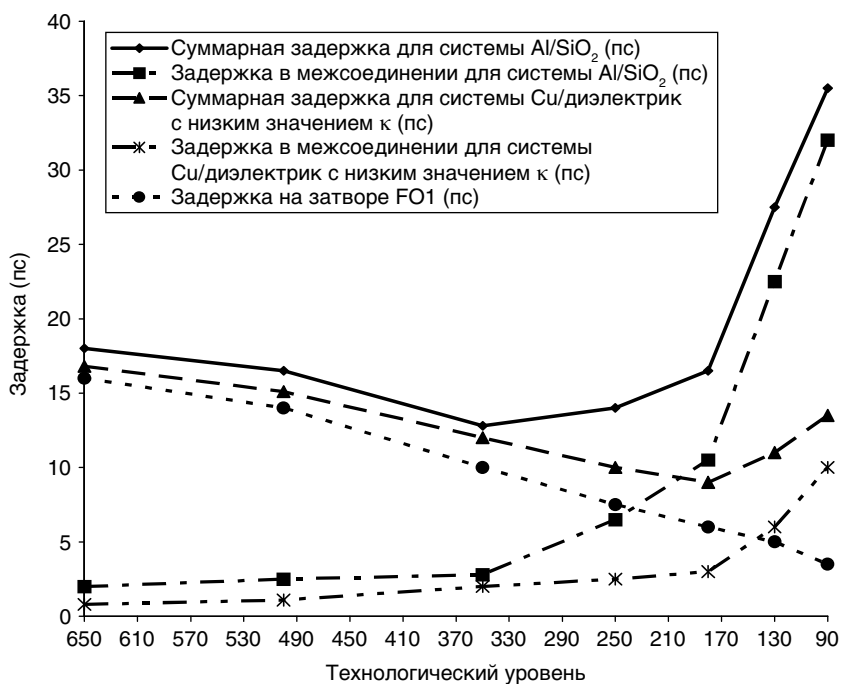


Рис. 1.9. Зависимость времени задержки (сигнала) на затворе и в межсоединении от уровня технологии

рование за пределы 130-нм уровня технологии не обещает существенного увеличения плотности соединений в связи с возникновением проблем обеспечения требуемых характеристик и сохранения целостности сигнала, для решения которых необходимо обеспечить экранирование некоторых проводников и достаточную величину зазора между другими. В связи с этим возникает необходимость в большем числе металлических слоев, которые могли бы обеспечить трассировку сложной схемы.

Контактные окна и отверстия межслойных переходов масштабируются нелегко

Контактные окна для большинства 130-нм технологий уже находятся на уровне 0,16 мкм, а отверстия межслойных переходов — 0,2 мкм. Их дальнейшее сколько-нибудь значительное масштабирование на будущих уровнях технологии представляется сложным. Безусловно, они не будут масштабироваться с такой же скоростью по сравнению с другими компонентами. Еще одним ограничивающим фактором, который будет только усиливаться по мере масштабирования, является электрическое сопротивление контактов и межслойных переходов.

На 130-нм уровнях технологии для обоих этих слоев уже необходимо проводить коррекцию оптического эффекта близости (OPC — Optical Proximity Correction) и литографию с фазовым сдвигом. На подготовку топологических данных и изготовление фотошаблонов для этих слоев уходит в два раза больше времени, чем для других слоев, для которых пока еще коррекция эффекта оптической близости и/или фазовый сдвиг не требуются [5].

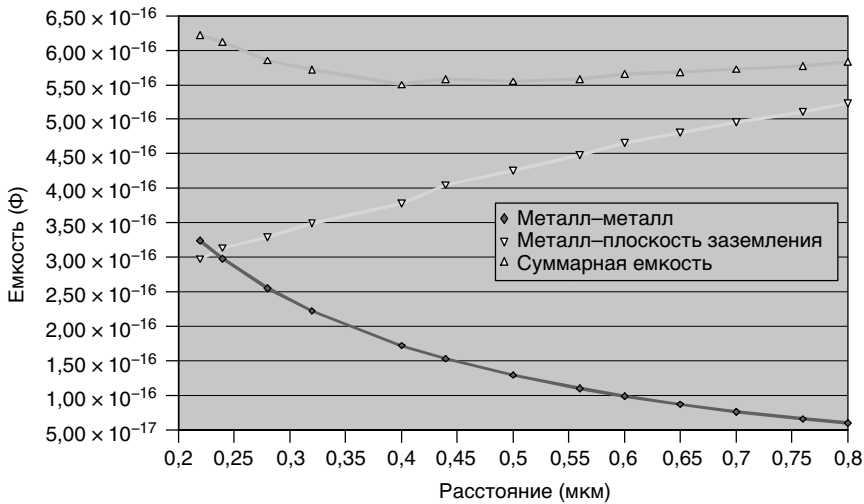


Рис. 1.10. Зависимость емкости, образуемой двумя металлическими слоями, от расстояния

1.3.2. Проблемы начального этапа технологического маршрута (FEOL) изготовления транзисторов

Характеристики транзистора

В настоящее время показатель качества (FOM) транзистора уже отклоняется от обратно пропорциональной зависимости от длины затвора. Ниже приведены несколько главных факторов, входящих в состав показателя качества (FOM).

- $V_{gs} - V_{th}$ уменьшается, а V_{th}/V_{dd} растет (рис. 1.11).
- Сопротивление исток-стока (RSD) как часть полного сопротивления включенного транзистора приближается к значительной величине, определяемой частично величиной зазора между контактом к поликремниевому затвору и областью исток-стока.
- Уровень содержания легирующих примесей из-за наличия тонких переходов приближается к пределу насыщения. Дальнейшее уменьшение RSD является невозможным, так как одновременно с этим увеличивается емкость перехода.
- Более мелкие диффузионные области истока и стока увеличивают сопротивление сток-истока (RSD) из-за сжатия тока.
- Более выраженная потеря подвижности (носителей заряда), обусловленная наличием механического напряжения при использовании технологии мелкощелевой изоляции (STI — Shallow Trench Isolation), отрицательно влияет на работу n-канального МОП-транзистора, в то время как работа p-канального МОП-транзистора слегка улучшается при наличии напряженных STI-структур [10, 11].
- Даже при наличии STI для транзисторов меньшего размера величина ΔW также становится значительной.
- Теперь уменьшение емкости стока происходит медленнее, чем уменьшение площади.
- Потеря примеси и статистическая флуктуация ее распределения при использовании приборов с элементами уменьшенного размера ведут к увеличению

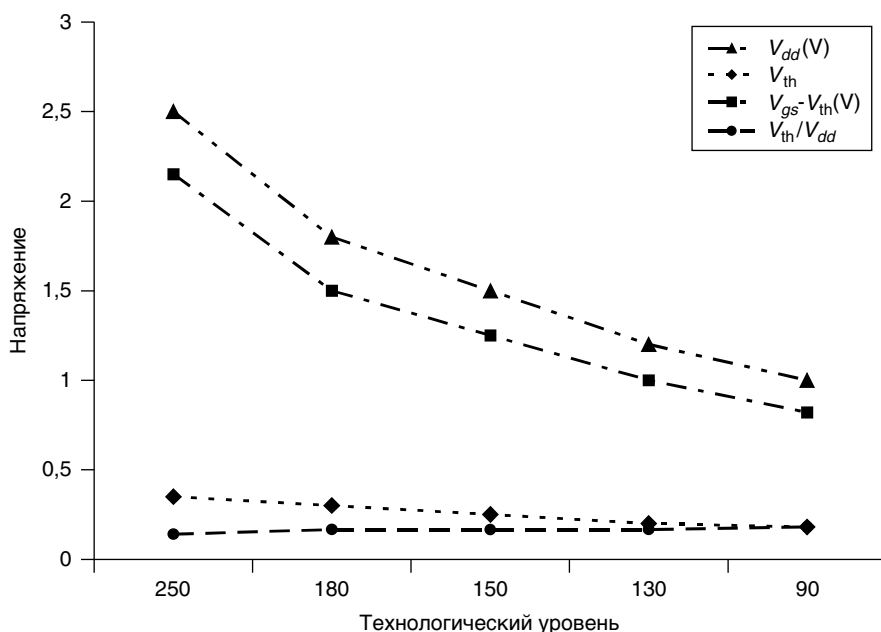


Рис. 1.11. Зависимость управляющего напряжения на затворе от уровня технологии

разброса характеристик последних, причем особо чувствительными в данном отношении являются конструкции аналоговых систем, систем ввода/вывода (В/В) и памяти.

- Увеличение концентрации легирующей примеси для управления снижением потенциального барьера под затвором, вызванным напряжением на стоке (DIBL-эффект¹), снижает подвижность носителей заряда с одновременным увеличением влияния подложки.
- Наличие тонкого подзатворного оксидного слоя способствует проникновению примеси, что влияет на величину управляющего тока р-канального МОП-транзистора [6].
- Также налицо уменьшение темпов масштабирования затворного оксида, так как его толщина приближается к толщине монослоя SiO₂ (см. рис. 1.1).

Проблемы утечки

Увеличение подпороговой утечки происходит с такой скоростью, что в конечном счете она сравнивается с динамической мощностью схем (рис. 1.12), причем в случае высокопараметрических микропроцессоров это должно произойти через два технологических поколения, если методы проектирования не смогут обеспечить решение этой проблемы. Было отмечено, что при каждом уменьшении толщины оксида на один ангстрем величина тока затвора (рис. 1.13) увеличивалась в 2,5 раза, что при смене каждого поколения начиная с 130-нм уровня технологии составляет приблизительно два порядка величины.

¹ DIBL-эффект (Drain-Induced Barrier Lowering) — «индуцированное напряжением на стоке снижение потенциального барьера под затвором» выражается в снижении порогового напряжения при увеличении напряжения на стоке. — Прим. ред.

Сопротивление затвора также увеличивается с уменьшением размера элементов, причем сопротивление сток-исток SD будет увеличиваться по мере уменьшения толщины перехода. Для устранения тока утечки перехода придется прилагать усилия по нахождению компромиссной величины сопротивления области сток-исток до тех пор, пока технология получения приподнятой области сток-исток не станет производственной реальностью. На рис. 1.4 видно, что толщина поликремниевого затвора изменилась очень незначительно при масштабировании с 250 до 65 нм. Единственным очевидным изменением является длина затвора или ширина поликремниевой структуры. Таким образом, сопротивление канала при масштабировании увеличивается, что должно учитываться при моделировании транзисторов.

В целях постоянного улучшения характеристики тока насыщения стока (I_{dsat}) транзистора ведутся серьезные исследования и разработки транзисторов с использованием напряженного кремния в области канала, при этом сообщается о 10–20%-м улучшении тока насыщения при использовании SiGe-технологии [22]. Менее радикальная технология создания напряженного состояния, базирующаяся на использовании покровной нитридной пленки, обеспечивает получение напряженного кремния в канале, но предлагаемое улучшение тока насыщения (I_{dsat}) весьма скромное. В процессе разработки находится и технология получения приподнятой области истока-стока, требующая применения селективного осаждения эпитаксиального слоя — весьма сложного технологического процесса. Для получения затворного окисла с высоким показателем диэлектрической проницаемости k предлагается множество новых материалов, кроме того, вместо CoSi предлагается использовать NiSi [22]. Интеграция затворного окисла с высоким k представляет собой большую проблему, так как он представляется несовместимым с поликремнием, но зато хорошо совместимым с металлическими затворами [4]. Металлические затворы по сравнению с поликремниевыми имеют явное преимущество, так как они не могут быть обедненными, в связи

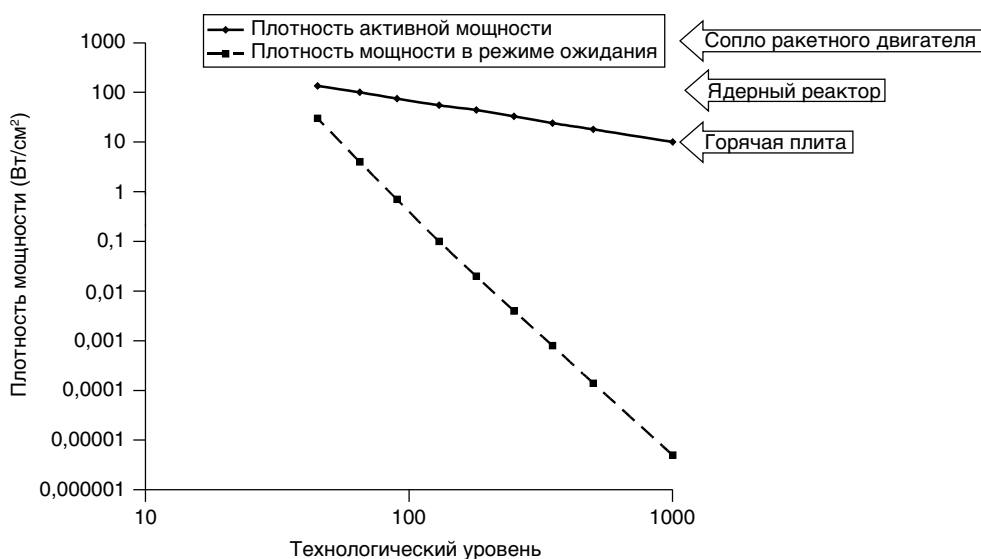


Рис. 1.12. Изменение плотности мощности КМОП-структур в зависимости от уровня технологии

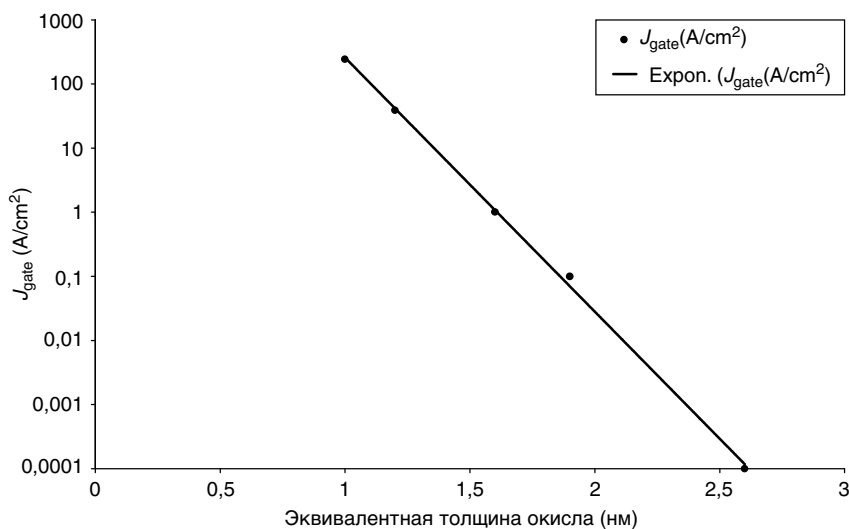


Рис. 1.13. Зависимость величины J_{gate} (А/см²) для n-канальной МОП-структуры от эквивалентной толщины окисла. (Данные предоставлены с разрешения компании NEC)

с чем технологам нет необходимости использовать более тонкий затворный окисел для получения эффективной толщины окисла с аналогичной емкостью [4]. Следовательно, при заданной эффективной толщине окисла использование технологии металлического затвора будет теоретически обеспечивать более низкий ток утечки затвора в режиме накопления. Для реализации технологии самосовмещенного металлического затвора необходимы инновационные решения. В настоящее время уменьшение уровня обеднения поликремния обеспечивается с помощью его предварительного легирования ценой проблем, возникающих при выполнении процесса травления. Некоторым производителям уже удалось справиться с этими проблемами с помощью предварительно легированного поликремния. В начале своего развития число материалов, используемых полупроводниковой промышленностью, было около пяти, а в настоящее время достигло порядка 20 [23].

Хотя уровень характеристик ИС, обеспечиваемый только лишь физическим масштабированием структур, уже практически достиг своего предела, уменьшение минимальных размеров элементов будет продолжаться в соответствии с законом Мура. В настоящее время улучшение характеристик обеспечивается рядом инновационных решений, которые не ограничиваются новыми конструкциями транзистора и внедрением новых материалов и технологических процессов, включая использование диэлектрика с высоким k , FinFET-транзисторов¹, структур кремния-на-изоляторе (SOI — Silicon-On-Insulator), напряженного кремния, подложек из изотопно-чистого кремния.

¹ FinFET-транзисторы имеют, в отличие от всех до сих пор известных планарных полупроводниковых приборов, трехмерную структуру, в которой области исток-стока и канала сформированы в узких (шириной порядка 20—30 нм) и высоких кремниевых гребнях, напоминающих рыбы плавники (отсюда наименование FinFET: «fin» по-английски — плавник), а затворный электрод FinFET-транзистора охватывает область канала с трех сторон, обеспечивая режим полного обеднения с соответствующим улучшением характеристик. — Прим. ред.

1.4. Управление технологическим процессом и надежность

Абсолютные физические вариации критических размеров (CD) длины затвора не масштабируются вместе с технологией, в связи с чем для будущих поколений технологии вариации критических размеров, выраженные в процентном отношении к длине затвора, будут более высокими [7]. Кроме того, при длине затвора менее 100 нм все более актуальной становится проблема неровности края линии (LER — Line-Edge Roughness), влияющая на ряд параметров транзистора. Управление неровностью края линии очень важно при использовании суб-100-нм технологии, так как данный эффект по мере масштабирования более критичен для приборов с меньшей длиной поликремниевых элементов. Данный артефакт, свойственный этапам литографии и травления, может быть исправлен за счет улучшения управления технологическим процессом. Обратный эффект большой неровности края линии состоит в более высокой емкости перекрытия C_{gd} , особенно для р-МОП-транзисторов. Этот эффект влияет и на другие параметры приборов, включая подверженность DIBL-эффекту и пороговое напряжение, поскольку эффективная длина канала уменьшается после операции отжига из-за неровности края (LER) поликремниевого затвора, что особенно характерно для р-МОП-транзисторов (рис. 1.14). Поскольку эффективная длина канала $L_{effective}$ уменьшается из-за неровности края (LER), то это негативным образом сказывается на величине порогового напряжения.

Вариации величины порогового напряжения V_{th} зависят от случайных флуктуаций концентрации примеси и критических размеров (CD) затвора. Тонкий подзатворный окисел в сочетании с каналированием легирующей примеси приводит к вариациям концентрации легирующей примеси в канале, что, в свою очередь, зависит от морфологии поликристаллического кремния затвора (рис. 11.7). Наличие этих эффектов затрудняет управление величиной порогового напряжения V_{th} и делает в особенности трудным согласование транзисторов по пороговому напряжению V_{th} для приборов с элементами уменьшенных размеров. Из рис. 11.37 видно, что изменение величины порогового напряжения V_{th} является самым большим для приборов, имеющих минимальные размеры, но имеет асимптотический характер. Было бы целесообразным не рассматривать (т. е. не применять) транзисторы с минимальной шириной, если вариации порогового напряжения V_{th} вызывают отказы в работе схем.

Эффект температурной нестабильности при отрицательном напряжении смещения (NBТИ-эффект — Negative Bias Temperature Instability) был обнаружен при масштабировании толщины слоя затворного окисла. Толщина затворного окисла, соответствующая 130-нм уровню технологии, уже привела к появлению чувствительности к NBТИ-эффекту [18]. Любой этап технологической обработки, ведущий к разрыву межатомных связей, будет способствовать усилению NBТИ-эффекта. В частности, разрыв связей может иметь место при осуществлении операций плазменного или реактивного ионного травления, усиливающих NBТИ-эффект. Прогнозируемая толщина подзатворного окисла для 65-нм уровня технологии составляет 10 Å или менее. При такой толщине контроль границы раздела будет иметь критическое значение.

Обеднение поликремния будет ограничивать возможность дальнейшего масштабирования характеристик, что требует применения для затворов материала, не подверженного эффекту обеднения носителями.

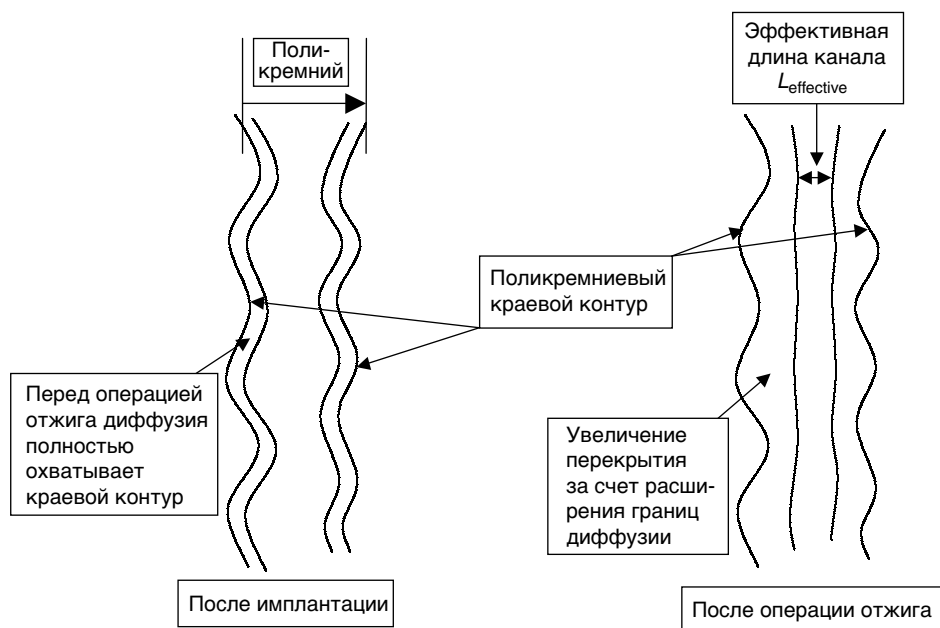


Рис. 1.14. Неровность края линии (LER) увеличивает емкость перекрытия и уменьшает длину канала

Управление толщиной подзатворного окисла для уровней технологии 90 нм и ниже будет иметь критическое значение для поддержания предсказуемого низкого значения тока затвора. Ток затвора увеличивается приблизительно в 2,5 раза при уменьшении толщины подзатворного окисла на каждый 1 ангстрем (Å) (см. рис. 1.13).

1.5. Проблемы литографии и взрывное увеличение объема данных для изготовления фотошаблонов

Начиная с 180-нм уровня технологии мы уже переходим в субдлинноволновую область. Величина субдлинноволнового разрыва для оптической литографии увеличивается (см. рис. 1.5) из-за наличия множества проблем, которые необходимо решить для реализации литографической технологии нового поколения. Для суб-100-нм уровня технологии необходимо внести изменения в методологию физического проектирования, с тем чтобы топология таких проектов могла быть напечатана без привлечения технологии литографии следующего поколения. При суб-90-нм технологии применение агрессивной коррекции оптической близости будет необходимым, а проектирование топологий, адаптированных к технологии литографии — обязательным. Использование технологии повышения разрешающей способности приводит к резкому увеличению объема фрагментированных данных для генерации фотошаблонов, что увеличивает их стоимость [8]. В результате увеличения субдлинноволнового разрыва рост расходов на изготовление фотошаблонов и выполнение процессов фотолитографии будет носить для последующих поколений технологии экспоненциальный характер, в связи с чем только богатые компании смогут позволить себе использовать передовое литографическое

оборудование. Остальным же для улучшения разрешения 193-нм литографии придется при физическом проектировании довольствоваться меньшим числом степеней свободы, наряду с применением увеличенных значений числовой апертуры и агрессивных приемов коррекции эффектов оптической близости [9]. Подробный материал по данной теме предлагается в главе 3.

1.6. Новое поколение разработчиков схем и проектировщиков на физическом уровне

Текущий уровень масштабирования КМОП-технологии находится в состоянии, когда традиционный подход, допускающий полный разрыв между схемотехническим и физическим проектированием, базирующимся на результатах разработки технологических процессов, уже больше не работает. Этим, собственно, и объясняется необходимость в изменении самой парадигмы, используемой при разработке схем [20]. Даже методология проектирования интегральных схем специализированного применения (ASIC — Application-Specific Integrated Circuit), которая расширяет сферу рабочих характеристик, должна адаптироваться к такому изменению парадигмы, если необходимо обеспечить требуемую функциональность и масштабируемость за пределами 100-нм размеров элементов топологии.

Проектирование высокопараметрических схем в особенности требует существенно отличающихся подходов. Для решения этих задач требуется новое поколение инженеров-разработчиков схемотехнических решений и проектов их физических воплощений, которые понимают стоящие перед ними трудности и смогут найти технические решения по созданию литографически адаптированных физических проектов, обеспечивающих получение надежных масштабируемых конструкций с высоким выходом годных. Методы проектирования для будущих уровней технологии должны обеспечивать устойчивость к различным видам токов утечки, таким как подпороговые токи, включая утечку на стоке, индуцированную затвором (GIDL), и ток утечки затвора. Еще одним требованием, предъявляемым к будущим технологиям, является устойчивость к вариациям параметров.

На многие этапы технологического процесса оказывает влияние стиль проектирования топологии. Наиболее значительным в этом смысле является влияние плотности многоугольников металлизации на толщину межслойного диэлектрика. Выход годной готовой продукции сильно зависит от плотности элементов, формируемых с помощью диффузии. Использование других стилей проектирования топологии может снизить влияние флуктуаций легирующей примеси и отклонение величины критических размеров поликремниевых элементов в схемах, для функционирования которых большое значение имеет согласование параметров приборов.

Новое поколение разработчиков схем и их физического воплощения должно понимать влияние эффектов близости на работу схем и, соответственно, на особенности проектирования схем, с тем чтобы поведение схемы, сформированной в кремнии, соответствовало тому, что было предсказано при моделировании. Эффекты близости могут возникать в результате размещения транзистора рядом с карманом или в областях с высокой или низкой плотностью поликремниевых элементов. Размещение транзисторов рядом с другими структурами может привести к флуктуациям уровня примесей во время выполнения операции имплантации, что может вызывать отклонение пучка

легирующей примеси и его попадание на транзистор, расположенный рядом с маской из фоторезиста. В случае если каждый транзистор имеет одинаковое окружение, эффект близости будет тоже одинаковым. В противном случае эффект близости может привести к разбросу величины порогового напряжения V_{th} . К прочим эффектам близости можно отнести изменение минимальных размеров поликремниевых элементов из-за эффектов близости при проведении операций фотолитографии и травления в результате неоптимального стиля проектирования топологии, что приводит к эффектам «микрперегрузки» (microloading) во время травления и эффекту «оптической близости». Многих эффектов близости, имеющих систематический характер, можно избежать за счет выбора хорошего стиля проектирования топологии, адекватных методов фотолитографии и правильных припусков. Однако разработчики должны понимать ограничения и для уменьшения воздействия данных эффектов применять соответствующие методы проектирования. Далее в этой книге предлагается подробное описание методов проектирования на физическом уровне, которые должны помочь инженерам-схемотехникам и инженерам-физикам лучше справиться с указанными эффектами.

1.7. Проблемы моделирования

Продолжающееся физическое масштабирование усиливает требования по допускам на электрические параметры, что представляет собой проблему моделирования. До появления компактной модели BSIM 4 ток затвора не моделировался и разработчикам приходилось полагаться исключительно на свои силы.

Статистические колебания уровня содержания легирующей примеси в каналах трудно поддаются моделированию и влияют на работу транзисторов с малыми геометрическими размерами, используемыми в однобитовых элементах памяти, в отношении которых только в наименьшей степени можно допустить недостаточное моделирование [3]. Эффекты близости и деградация подвижности носителей под действием напряжений, связанных с мелкощелевой изоляцией (STI), трудно поддаются моделированию, так как они сильно зависят от топологии [10, 11]. Стали доступны некоторые новые средства, предлагающие некоторую помощь в этой области посредством выделения топологии. Для решения проблемы необходимо вникнуть в суть имеющих место эффектов и затем уже заниматься проектированием конструкции на физическом уровне с учетом их минимизации в схемах. Эти эффекты будут подробно описаны в главе 2.

До тех пор пока разработчики схем для обработки смешанных сигналов не получат возможность использовать аналоговые транзисторы, аналоговое моделирование логических процессов с учетом использования ионного легирования halo-областей приведет к появлению неточностей из-за аномального характера изменения длины канала [17]. Это ведет к удорожанию и иногда может сделать технологию недоступной. До тех пор пока у вас не появится возможность работать с «фаундри»¹, обладающей возможностью моделирования влияния halo-эффектов на величину DIBL, порогового напряжения V_{th} и напряжения, обусловленного эффектом Эрли, в зависимости от длины канала транзистора, было бы целесообразней полагаться на использование аналоговых транзисторов. Как видно из документа [16] международной конференции по электронным приборам, состоявшейся в 2002 г., подобная модель не является невозможной, но ею

¹ «Фаундри» (foundry) — «кремниевая мастерская», выполняющая изготовление заказных схем (разработки заказчика) по стандартизированному технологическому процессу. — *Прим. ред.*

Таблица 1.1. Перечень проблем моделирования приборов при использовании суб-100-нм технологических процессов

| Параметр | Причина возникновения эффекта | Краткое описание эффекта |
|---|---|---|
| Обратный коротко-канальный эффект (RSC — Reverse Short-Channel) | Легирующие примеси в halo-области (технология, физический эффект в приборе) | Обратный эффект короткого канала (RSC) вследствие неоднородного латерального легирования; при вариациях длины канала величина порогового напряжения V_{th} также изменяется |
| Смещение порогового напряжения, вызванное стоком (DITS — Drain-Induced Threshold-Voltage Shift) | Легирующие примеси в halo-области (технология, физический эффект в приборе) | Вызванное стоком смещение порогового напряжения вследствие изменения DIBL-эффекта для длинноканальных приборов в случае, когда снижается влияние на канал halo-легирования |
| Величина напряжения эффекта Эрли и выходного сопротивления | Легирующие примеси в halo-области (технология, физический эффект в приборе) | Как и выше, изменение величины DIBL-эффекта для длинноканального прибора |
| Обеднение поликремния [25] | Сверхтонкий затворный окисел (технология, физический эффект в приборе) | Обеднение поликремния начинает приобретать большое значение для большинства приборов с ультратонким подзатворным окислом, что выражается в необходимости увеличения на 8 нм (в тексте оригинала ошибка. Увеличение эффективной толщины подзатворного оксида (EOT) вследствие обеднения поликремния в затворе составляет не 8 нм, а 8 Å. — Прим. ред.) эквивалентной толщины оксида (EOT — Equivalent Oxide Thickness); в меньшей степени — для предварительно легированного поликремния |
| Туннельный ток затвора | Сверхтонкий затворный окисел (технология, физический эффект в приборе) | Прямое туннелирование носителей заряда от затвора к каналу обусловлено наличием сверхтонкого затворного окисла |
| Зависимость подвижности носителей заряда от уровня легирования | Легирующие примеси в halo-области (технология, физический эффект в приборе) | С уменьшением уровня легирования увеличивается подвижность носителей |
| Линейные эффекты близости | Плотно расположенные и изолированные линии | Отчасти обусловлены эффектами литографии и эффектами микроперегрузки при травлении, а также из-за рассеивания пучка ионов легирующих примесей на поликремниевых элементах, вызывающего систематические вариации содержания примеси в зависимости от расстояния между поликремниевыми дорожками в данной конструкции |

Таблица 1.1. (Окончание)

| Параметр | Причина возникновения эффекта | Краткое описание эффекта |
|--|---|--|
| Нелинейные эффекты близости | Коррекция оптического эффекта близости (ОП) | Субдлинноволновая литография требует повышения разрешающей способности |
| Утечки стока, индуцированные затвором (GIDL) | Межзонное туннелирование | Из-за наличия в суб-100-нм приборах сильно легированных и резких переходов между стоком и затвором возникает сильное поле, являющееся причиной межзонного туннелирования |
| Отражение света на краях диффузионных и поликремниевых элементов | Технология и эффекты, обусловленные топологией | Отражение света от краев диффузионных и поликремниевых областей при субдлинноволновой литографии вызывает вариации малоразмерных элементов приборов и приближение контактных площадок из поликремния к краю диффузионной области |
| Размещение рядом с карманом | Приборы с размещением на границе кармана | Латеральное рассеивание за пределы рисунка из фоторезиста имплантируемых в карман атомов, ведущее к увеличению порогового напряжения приборов, размещенных рядом с краем кармана, что составляет обычно 50 мВ и 20 мВ для n-МОП- и р-МОП-приборов соответственно |
| Напряжение, создаваемое мелкошелевой изоляцией (STI) | Эффект близости между каналом прибора и напряженной зоной, создаваемой мелкошелевой изоляцией (STI) | Напряжение сжатия, создаваемое мелкошелевой изоляцией (STI), ограничивает подвижность электронов, но увеличивает подвижность дырок, влияя, таким образом, на величину $I_{d sat}$ |

располагают не все полупроводниковые заводы. Если по какой-либо причине в аналоговой конструкции необходимо использование транзисторов с легированием halo-областей, а соответствующие SPICE-модели (SPICE — Simulation Program with Integrated Circuit Emphasis, симулятор электронных схем общего назначения с открытым исходным кодом) не учитывают наличия halo-эффектов (смещение порогового напряжения, вызванное обратным эффектом короткого канала (RSC) и индуцированное стоком), а также вариации выходного сопротивления и колебания величины напряжения эффекта Эрли, очень важно подобрать такие размеры транзисторов, при которых во избежание неточностей, обусловленных изменениями нелинейной характеристики транзистора как функции длины канала, будут отсечены точки, по которым подгоняется модель.

К числу новых физических явлений, подлежащих моделированию, необходимо отнести зависимость влияния halo-эффектов на пороговое напряжение V_{th} [16] от длины поликремниевого канала транзистора (эффект обратного короткого канала (RSC)) [16], утечку на стоке, индуцированную затвором (GIDL), вызванное стоком смещение порогового напряжения (DITS) [24], изменение выходного сопротивления, обратного напряжения (эффект Эрли) и тока затвора [15]. Возможность моделирования этих новоявленных эффектов начинается с компактной модели BSIM4 [24]. Для техноло-

гий за пределами уровня в 130 нм настоятельно рекомендуется использование модели BSIM4, включая моделирование цифровых схем.

Как было показано выше, в связи с наличием вариаций процесса имплантирования и отклонения минимальных размеров для решения некоторых из этих проблем необходимо использование статистического моделирования. Если комбинации моделей, подходящих для конкретной схемы, выбирать неосмысленно, полагаясь на использование моделей для угловых элементов, то это приведет к нереалистичным комбинациям процесса и переусложнению конструкции ИС, при этом приносятся в жертву быстродействие, потребляемая мощность и площадь схемы. С другой стороны, «критический угол» невозможно моделировать с помощью традиционной методологии «пяти углов». Все проблемы моделирования приведены в табл. 1.1.

1.8. Необходимость внесения изменений в методологию проектирования

В прошлом было бы достаточным применение анализа емкостных помех. Но теперь в задаче сохранения целостности сигнала стали учитываться индуктивные помехи. В прошлом главным соображением была проблема синхронизации — в отличие от настоящего времени, когда нам приходится беспокоиться также о функциональности. Существующая потребность в разработке помехоустойчивых схем обусловлена необходимостью уменьшения времени анализа и моделирования задачи сохранения целостности сигнала в пределах чипа и вне его. Существует также необходимость в разработке методологии, с помощью которой сохранение целостности передаваемого сигнала закладывалось на конструктивном уровне. Этого можно было бы достичь специальным размещением репитеров, обеспечивая разводку с учетом доступной площади. В некоторых местах могло бы помочь экранирование. Широким шинам [данных] также нужна устойчивая система распределения мощности, способная выступать в качестве противоиндукционного экрана и пути для возвратного тока.

Недавно в результате повышения тактовых частот, обусловленного масштабированием приборных структур и напряжений, возникла проблема устойчивости питания. Тенденция роста потребляемой мощности сохраняется вопреки темпам масштабирования из-за увеличения функциональности, необходимого для удовлетворения постоянно растущего спроса на повышение характеристик схем. С увеличением мощности и одновременным снижением напряжения питания растет ток потребления, а также скорость изменения тока (di/dt) вместе с величиной резистивного падения напряжения. Индуктивность $L(di/dt)$ превращается в главный ограничивающий быстродействие фактор.

Для решения этой проблемы новая методология проектирования теперь должна включать распределение питания микросхемы, корпуса и системной платы для общего системного решения. В противном случае получение желаемого импеданса источника питания в целях уменьшения величины падения напряжения на активном сопротивлении и $L(di/dt)$ окажется невозможным.

Главной проблемой конструирования наноразмерных КМОП-структур будут вариации процесса, приборов и межсоединений. Для того чтобы конструкция могла «пережить» гораздо более серьезные изменения, они должны быть учтены методологией. Становясь все более беспомощной, традиционная методология на основе пяти техно-

логических допусков (углов) ведет, во-первых, к дорогостоящему избыточному проектированию за счет площади кристалла и потери мощности, а во-вторых, совершенно игнорирует важность наихудшего сценария. Предлагаемое методами проектирования доступное число степеней свободы уменьшается.

В перспективных конструкциях возникнет необходимость совмещения поликремниевых элементов минимального размера. Это также продиктует изменение конструкции битовых элементов, так как в существующей конструкции поликремниевая структура переключающего транзистора ортогональна разгрузочному и нагрузочному транзисторам соответственно. В новых конструкциях битовых элементов этот вопрос решен за счет совмещения поликремниевых дорожек. Причина, по которой все поликремниевые дорожки сориентированы в одном направлении, состоит в том, что *halo*-легирование осуществляется под углом. Взаимоортогональное размещение затворов приведет к разбросу параметров из-за различного времени имплантации каждой кромки поликремниевого затвора. В этом случае имплантированные в горизонтальный затвор примеси получают в два раза меньшую дозу за определенный период времени, что может повлиять на изменение величины порогового напряжения V_{th} . Также существует более высокий разброс критических размеров для взаимоортогональных поликремниевых дорожек из-за наличия литографических эффектов и фотошаблона. Дополнительные сведения можно почерпнуть в 11-й главе.

Утечка (подпороговая, GIDL и затвора) является следующей проблемой, которую мы должны решить с помощью новой методологии проектирования. Разрабатываемая память должна выдерживать большую утечку, чем ранее, и, тем не менее, не должна значительно уменьшать эффективность матрицы. Более высокая утечка в больших матрицах, таких как кэш 2-го и 3-го уровня (L2 и L3), является проблемой не только быстродействия и функциональности, но также площади и питания. Может возникнуть необходимость в проектировании L2 и L3 с более чем однократной выборкой, так как она устойчивее к более высоким задержкам. Это необходимо компенсировать для более медленной выборки из-за потребности в большей длине канала и более высокой величине порогового напряжения V_{th} в целях уменьшения *мощности утечки* за счет времени доступа. Быстродействие можно немного улучшить исходя из того факта, что более длинный канал обеспечивает более хорошее согласование транзистора битовой ячейки и возможность получения отличного коэффициента согласования разгрузочного и проходного транзисторов.

Из-за трудностей нахождения компромисса между функциональностью, устойчивостью к помехам и быстродействием проектирование логических вентилях «в стиле широкого домино»¹ в эру нано-КМОП более нецелесообразно. Быстродействием функционирования схем с затворами «в стиле широкого домино» уже не будет лучше, чем у схемы, реализуемой в два этапа. В забвение уйдет и «логика отношений»² (ratioed logic). Разброс параметров прибора и тока утечки приведет к тому, что хорошо спроектированная «относительная логика» может потерять оптимальный рабочий режим и в некоторых случаях — работоспособность.

Достижение компромисса между потребляемой мощностью, параметрами и сложностью технологического процесса становится все более сложной задачей, в связи с чем разработчикам придется осознанно подбирать оптимальное число имплантируемых

¹ «Wide domino gates» — тип динамических логических вентилях (схем). — *Прим. ред.*

² «Ratioed logic» — тип построения логических схем, основанный на соотношении транзисторов или резисторов. — *Прим. ред.*

примесей для подгонки порогового напряжения V_{th} с учетом затрат. При оптимальном включении транзисторов с низкой величиной порогового напряжения V_{th} увеличение быстродействия схемы возможно и без огромного увеличения потребляемой в ждущем режиме мощности.

Переход на медные межсоединения обеспечил резкое увеличение устойчивости к электромиграции (ЕМ) и улучшение рабочих характеристик межсоединений для 130-нм поколения технологии. Однако по мере увеличения площади кристалла разработчики требуют более высоких характеристик межсоединений, улучшения которых, как мы видели, не наблюдалось на каждом последующем уровне технологии после выхода на уровень 130 нм. Проблему масштабирования рабочих характеристик проводников инженеры-технологи по процессам пытаются реализовать с помощью внедрения материала с низким k . Так как диэлектрик с низким k имеет более низкую теплопроводность, в нано-КМОП-технологии заново всплыл вопрос электромиграции. Это в сочетании с более высокой скоростью передачи сигнала, создающей еще большее увеличение импульса тока в проводниках, еще более усугубляет проблему ЕМ.

1.9. Заключение

Мы рассмотрели основные вопросы суб-100-нм масштабирования элементов и то, каким образом они превращаются в проблемы, если мы продолжим придерживаться методологии проектирования, пригодной при использовании уровней технологии предыдущих поколений. Совершенно ясно, что если мы хотим воспользоваться преимуществами применения масштабирования технологии в перспективных конструкциях, продолжая вписываться в закон Мура [27], то нам необходимо идти на изменение парадигмы.

Несмотря на то, что темпы масштабирования характеристик, обусловленные уменьшением размеров приборов, продолжают падать, масштабирование может продолжиться с изобретением новых процессов и материалов, обеспечивающих решение проблем, связанных с наличием физических ограничений [23].

Однако для того чтобы своевременно воспользоваться преимуществами подобной технологии в целях получения функциональных, надежных конструкций, инженеры-схемотехники и технологи должны понимать последствия, связанные с применением агрессивного масштабирования. С учетом увеличения стоимости фотошаблонов, чтобы получить функционирующую схему на «первом кремнии», разработчикам во избежание просчетов необходимо как можно скорее разобраться с соответствующими физическими эффектами.

Литература

- [1]. IBM J. Res. Dev., Vol. 46, No. 2/3, 2002.
- [2]. P. Kapur, Performance challenges of the future on chip metal interconnects and possible alternatives, Stanford University, May 23, 2002.
- [3]. Near limit scaling, workshop, Solid State Circuits Technology Committee, 2003.
- [4]. The future of semiconductor manufacturing, short course, IEEE International Electron Devices Meeting, 2002.

- [5]. S. Schulze, Mentor Graphics Corp., Wilsonville, OR, Effecting mask costs by solving the data explosion bottleneck in mask data preparation, *Semiconduct. Int.*, July 1, 2003.
- [6]. H. S. Momose, S. Nakamura, T. Ohguro, T. Yoshitomi, E. Morifuji, T. Morimoto, Y. Katsumata, and H. Iwai, Study of the manufacturing feasibility of 1.5 nm directtunnelling gate oxide MOSFETs: uniformity, reliability, and dopant penetration of the gate-oxide, *IEEE Trans. Electron Devices*, Vol. 45, No. 3, Mar. 1998.
- [7]. A. Allan, D. Edenfeld, W. Joyner, A. Kahng, M. Rodgers, and Y. Zorian, *International Technology Roadmap for Semiconductors*, IEEE Comput., Jan. 2002.
- [8]. S. Schulze, Effecting mask cost by solving the data explosion bottleneck in mask data preparation, *Semiconductor Int.*, July 1, 2003.
- [9]. Y. Pati, Sub-wavelength lithography, Tutorial, Design Automation Conference, 1999.
- [10]. C. Diaz, M. Chang, T. Ong, and J. Sun, Process and circuit design interlock for application-dependent scaling tradeoffs and optimization in the SoC era, *IEEE J. Solid State Circuits*, Vol. 38, No. 3, Mar. 2003.
- [11]. G. Scott, J. Lutze, M. Rubin, F. Nouri, and M. Manley, NMOS drive current reduction caused by transistor layout and trench isolation induced stress, *IEEE International Electron Devices Meeting*, 1999.
- [12]. M. Horowitz, R. Ho, and K. Mai, The future of wires, *Semiconductor Research Corporation Workshop on Interconnects for Systems on a Chip*, May 1999.
- [13]. V. Agarwal, M. Hrishikesh, S. Keckler, and D. Burger, Clock rate vs. IPC: the end of the road for conventional microarchitectures, *27th Annual International Symposium on Computer Architecture*, June 2000.
- [14]. T. Sakurai, Issues of current LSI technology and an expectation for new systemlevel integration, *International Conference on Solid State Devices and Materials*, pp. 36–37, Sept. 2001.
- [15]. K. Osada, Y. Saitoh, E. Ibe, and K. Ishibashi, 16.7fA cell tunnel-leakage-suppressed 16 Mb SRAM for handling cosmic-ray-induced multi-errors, Session 17.2, *International Solid-State Conference*, 2003.
- [16]. R. Rios, W. K. Shih, A. Shah, S. Mudanai, P. Packan, T. Sandford, and K. Mistry, A three-transistor threshold voltage model for halo processes, *IEEE International Electron Devices Meeting*, Dec. 2002.
- [17]. K. Cao, W. Liu, X. Jin, K. Vasanth, K. Green, J. Krick, T. Vrotsos, and C. Hu, Modeling of pocket implanted MOSFETs for anomalous analog behavior, *IEEE International Electron Devices Meeting*, 1999.
- [18]. C. Liu, M. Lee, C. Lin, J. Chen, Y. Loh, F. Liou, K. Schroefer, A. Katsetos, Z. Yang, N. Rovedo, T. Hook, C. Wann, and T. Chen, Mechanism of threshold voltage shift (V_{th}) caused by negative bias temperature (NBTI) instability in deep sub-micron pMOSFETs, *Jpn. J. Appl. Phys.*, Vol. 41, Pt. 1, No. 4B, pp. 2424–2425, Apr. 2002.
- [19]. A. Stamper, Interconnection scaling to 1 GHz and beyond, *MicroNews*, Vol. 4, No. 2, first quarter 1998.
- [20]. *International Technology Roadmap for Semiconductors*, <http://public.itrs.net>.
- [21]. P. Ranade, H. Takeuchi, W. Lee, V. Subramanian, and T. King, Application of silicon–germanium in the fabrication of ultra-shallow extension junctions for sub-100 nm PMOSFTs, *IEEE Trans. Electron Devices*, Vol. 49, No. 8, Aug. 2002.
- [22]. S. Thompson et al., A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 μm^2 SRAM cell, *IEEE International Electron Devices Meeting*, 2002.

- [23]. A. Grove, Changing vectors of Moore's law, IEEE International Electron Devices Meeting, 2002.
- [24]. J. Assenmacher, BSIM4 Modeling and Parameter Extraction, CL TD SIM, Infineon Technologies, Workshop Analog Integrated Circuits, Berlin, Germany, Mar. 19, 2003.
- [25]. C. Choi, Modeling of nanoscale MOSFETs, Ph.D. dissertation, Stanford University, 2002.
- [26]. G. Brown, The tyranny of roadmap: new CMOS gate dielectrics with reliability promises and challenges, ISMT Reliability Engineering Working Group, Dec. 12, 2001.
- [27]. G. Moore, Cramming more components onto integrated circuits, Electronics, Vol. 38, No. 8, Apr. 19, 1965.
- [28]. G. Moore, No exponential is forever..., keynote, IEEE International Solid-State Circuits Conference, 2003.