

Содержание

Вместо предисловия – дайджест	15
Введение	25
Глава 1. Физические основы работы полевых транзисторов	31
1.1. Физические основы работы субмикронных МОП-транзисторов.....	31
1.1.1. Типовая структура МОП-транзистора.....	31
1.1.2. Глубина области обеднения	38
1.1.3. Определение величины заряда в слое инверсии	39
1.1.4. Оценка толщины инверсионного слоя.....	40
1.2. Анализ работы МОП-транзистора с длинным каналом	41
1.2.1. Анализ влияния подложки на работу МОП-транзистора	41
1.2.2. Выражения для оценки значения допорогового тока.....	42
1.3. Анализ физических процессов, происходящих в субмикронном МОП-транзисторе	45
1.3.1. Анализ физических эффектов, влияющих на пороговое напряжение МОП-транзистора	45
1.3.2. Методы ограничения эффекта сквозного пробоя	51
1.3.3. Эффект возникновения тока утечки стока МОП-транзистора, обусловленный влиянием его затвора.....	52
Литература к главе 1	53
Глава 2. Особенности конструктивно-схемотехнического проектирования субмикронных микросхем	56
2.1. Основные проблемы проектирования микросхем с субмикронными проектными нормами	56
2.2. Основные тенденции развития кремниевых БИС.....	59
2.3. Пути уменьшения величины потребления мощности в субмикронных БИС	63
2.4. Взаимосвязь утечки и статического потребления мощности в структуре субмикронного МОП-транзистора	71
2.4.1. Пути уменьшения потребления мощности в субмикронных КМОП-БИС	71
2.4.2. Анализ токов, протекающих в субмикронном МОП-транзисторе	74
2.4.3. Физические причины возникновения токов утечки в субмикронных кремниевых транзисторах	77
2.4.3.1. Подпороговый ток утечки I_{SUB} субмикронного МОП-транзистора	78
2.4.3.2. Туннельный ток затвора I_{GATE} МОП-транзистора	79
2.4.3.3. Ток выключения I_{OFF} МОП-транзистора	80
2.4.3.4. Методы снижения величины статической мощности потребления МОП-транзистора	81

2.4.3.5. Особенности проектирования субмикронных аналоговых и аналогово-цифровых БИС с учетом статического потребления мощности.....	83
2.5. Динамическое потребление мощности субмикронного МОП-транзистора	87
2.5.1. Задержки распространения сигнала на внутренних межсоединениях кристалла	89
2.5.2. Методы снижения уровня динамической мощности субмикронных БИС.....	89
2.5.3. Анализ и расчет динамической мощности, обусловленной токами утечки	91
2.6. Проблемы корпусирования субмикронных микросхем	95
2.7. Методы обеспечения надежности передачи сигналов в субмикронных микросхемах.....	97
2.7.1. Использование стандартных библиотек проектирования.....	98
2.7.2. Использование двух внутренних источников питающих напряжений.....	98
2.8. Влияние температуры и разброса технологических параметров на характеристики кремниевых субмикронных микросхем	99
2.8.1. Учет зависимости токов утечки от температуры	99
2.8.1.1. Температурная зависимость токов I_{ON} и I_{OFF}	99
2.8.1.2. Температурная зависимость подпорогового тока I_{SUB}	102
2.8.1.3. Температурная зависимость тока перехода I_{JUNC}	102
2.8.1.4. Температурная зависимость тока I_{GIDL}	103
2.8.1.5. Температурная зависимость туннельного тока затвора I_{GATE}	104
2.9. Взаимосвязь разброса параметров технологического процесса и численных значений токов утечки.....	105
2.9.1. Причины и виды отклонений технологических и топологических параметров	105
2.9.2. Оценка влияния разброса технологических параметров на токи утечки	108
2.10. Особенности проектирования топологии аналоговых микросхем с проектными нормами глубокого субмикрона	112
2.10.1. Учет влияния уменьшения напряжения питания	112
2.10.2. Учет эффекта масштабирования и задержки распространения сигнала на межсоединениях кристалла	114
2.11. Основные ограничения при проектировании КМОП-микросхем с минимальным энергопотреблением	116
2.11.1. Физические ограничения при проектировании маломощных КМОП-микросхем.....	116
2.11.2. Конструктивно-технологические ограничения при проектировании маломощных КМОП-микросхем	119
2.11.3. Схемотехнические ограничения при проектировании маломощных КМОП-микросхем.....	120

2.11.4. Системотехнические ограничения при проектировании микромошных КМОП-микросхем	122
2.12. Основные рекомендации разработчикам конструкций кремниевых субмикронных микросхем	125
Литература к главе 2.....	129
Глава 3. Основные характеристики цифровых микросхем.....	131
3.1. Структурная организация цифровых микросхем	131
3.1.1. Общая структура цифровых микросхем	131
3.1.2. Структура внутренних элементов цифровых микросхем	133
3.1.3. Структура элементов согласования цифровых микросхем	139
3.2. Система основных параметров и характеристик цифровых микросхем	149
3.2.1. Функциональные параметры цифровых микросхем	149
3.2.2. Электрические параметры цифровых микросхем	149
3.2.3. Динамические параметры цифровых микросхем	152
3.3. Схемотехническое исполнение цифровых микросхем.....	153
3.3.1. Энергетические характеристики базовых ЛЭ цифровых микросхем	153
3.3.2. Схемотехническое исполнение базовых ЛЭ цифровых микросхем	163
3.3.3. Методика выбора элементной базы цифровых микросхем.....	167
3.4. Влияние дестабилизирующих факторов на работоспособность цифровых микросхем	168
3.4.1. Устойчивость цифровых микросхем к электростатическому разряду.....	169
3.4.2. Устойчивость цифровых микросхем к воздействию перегрузок	175
3.4.3. Зависимость электрических характеристик цифровых микросхем от режимов эксплуатации.....	176
3.4.4. Устойчивость цифровых микросхем к воздействию помех.....	178
3.5. Паразитные элементы и эффекты в цифровых микросхемах	191
3.5.1. Паразитные транзисторные элементы в кристаллах цифровых микросхем	191
3.5.2. Эффект Миллера.....	196
3.5.3. Эффект «зашелкивания».....	198
Литература к главе 3.....	204
Глава 4. Схемотехнические решения цифровых КМОП-микросхем	206
4.1. Базовые логические элементы цифровых КМОП-микросхем	206
4.1.1. Статические КМОП ЛЭ.....	206
4.1.2. Базовые ЛЭ динамической КМОП-логики	226
4.2. Элементы памяти цифровых КМОП-микросхем.....	241
4.2.1. Элементы памяти, тактируемые уровнем синхросигнала	241
4.2.2. Элементы памяти, тактируемые фронтом синхросигнала	248
Литература к главе 4.....	250

Глава 5. Схемотехнические решения биполярных микросхем.....	252
5.1. Цифровые микросхемы на биполярных транзисторах с диодами Шоттки	252
5.1.1. Базовые логические элементы ТТЛШ цифровых микросхем	253
5.1.2. Базовые ЛЭ Шоттки транзисторной логики.....	260
5.1.3. Базовые ЛЭ Шоттки интегральной логики.....	262
5.1.4. Базовые ЛЭ диодно-транзисторной логики с диодами Шоттки.....	266
5.2. Элементы памяти ТТЛШ микросхем	267
5.2.1. Элементы памяти, тактируемые фронтом синхросигнала	267
5.2.2. Элементы памяти, тактируемые уровнем синхросигнала	275
5.3. Схемотехника входных элементов согласования ТТЛШ микросхем	277
5.3.1. Входные ЭС ТТЛШ микросхем со стандартными ТТЛ входными уровнями.....	277
5.3.2. Входные ЭС ТТЛШ микросхем с повышенной нагрузочной способностью	281
5.3.3. Входные ЭС ТТЛШ микросхем с парафазными выходами.....	283
5.3.4. Входные ЭС ТТЛШ микросхем с памятью	285
5.3.5. Входные ЭС ТТЛШ микросхем с повышенной помехоустойчивостью.....	288
5.3.6. Входные ЭС с преобразованием уровней сигналов.....	294
5.3.7. Схемы защиты цепей входных ЭС ТТЛШ микросхем	300
5.4. Схемотехника выходных элементов согласования ТТЛШ микросхем	303
5.4.1. Выходные ЭС ТТЛШ микросхем со стандартными ТТЛ выходными уровнями	303
5.4.2. Выходные ЭС ТТЛШ микросхем с памятью.....	312
5.4.3. Выходные ЭС ТТЛШ микросхем с преобразованием уровней сигналов	314
5.4.4. Схемотехника цепей защиты выходных ЭС ТТЛШ микросхем	317
5.5. Цифровые микросхемы на основе интегральной инжекционной логики.....	330
5.5.1. Разновидности базовых элементов И ² Л микросхем	334
5.5.2. Элементы памяти И ² Л микросхем.....	342
5.5.3. Схемотехника входных элементов согласования И ² Л микросхем.....	349
5.5.4. Защита выводов И ² Л микросхем от перенапряжения и статического электричества	364
Литература к главе 5.....	364
Глава 6. Схемотехнические решения БиКМОП-микросхем.....	367
6.1. Базовые логические элементы БиКМОП-микросхемы	368
6.2. Элементы памяти БиКМОП-микросхемы	379

6.3. Схемотехника входных элементов согласования БиКМОП-микросхемы	381
6.3.1. Входные ЭС БиКМОП-микросхемы с преобразованием уровней сигналов	381
6.3.2. Входные ЭС БиКМОП-микросхемы с повышенной нагрузочной способностью	387
6.3.3. Входные ЭС БиКМОП-микросхемы с парафазными выходами	387
6.3.3. Входные ЭС БиКМОП-микросхемы повышенной помехозащищенности	388
6.3.4. Входные ЭС БиКМОП-микросхемы с памятью.....	389
6.3.5. Схемотехника цепей защиты входных ЭС БиКМОП-микросхемы.....	389
6.4. Схемотехника выходных элементов согласования БиКМОП-микросхемы	390
6.4.1. Выходные ЭС БиКМОП-микросхемы с формированием КМОП выходных уровней.....	390
6.4.2. Выходные ЭС БиКМОП-микросхемы с формированием ТТЛ выходных уровней	391
6.4.3. Выходные ЭС БиКМОП-микросхемы с формированием ЭСЛ выходных уровней.....	395
6.4.4. Выходные ЭС БиКМОП-микросхемы с памятью	396
6.4.5. Схемотехника цепей защиты выходных ЭС БиКМОП-микросхемы.....	397
Литература к главе 6.....	397
Глава 7. Особенности проектирования радиационностойких микросхем на основе КНС и КНИ-структур.....	399
7.1. Радиационно-стойкие КМОП БИС на основе КНИ-структур	400
7.2. Воздействие ионизирующего облучения на кремний и двуокись кремния	410
7.2.1. Радиационные эффекты в кремнии при облучении.....	410
7.2.1.1. Радиационные дефекты, их комплексы и кластеры	410
7.2.1.2. Особенности дефектообразования в кремнии и поликремнии, облученном импульсами гамма-квантов.....	412
7.2.2. Свойства границы раздела Si/SiO ₂	412
7.2.2.1. Общие сведения о строении SiO ₂	412
7.2.2.2. Электронная структура SiO ₂	414
7.2.3. Воздействие ионизирующего облучения на диэлектрические слои.....	417
7.3.3.1. Введение объемного заряда в диэлектрик	417
7.2.3.2. Образование быстрых поверхностных состояний	418
7.2.3.3. Влияние радиации на проводимость диэлектрических слоев.....	418
7.2.3.4. Отжиг облученных диэлектрических слоев.....	419

7.2.3.5. Иерархия времен радиационно-индуцированных процессов в структурах с диэлектриком	419
7.2.3.6. Пути повышения стабильности структур с диэлектрическими слоями	419
7.2.4. Радиационные процессы в скрытом диэлектрике структур кремний-на-изоляторе	420
7.2.5. Сравнение радиационных свойств КНИ-структур, полученных разными способами	422
7.3. Физические явления в МОП/КНИ-транзисторах в условиях воздействия ИИ	424
7.3.1. Ионизирующее излучение	424
7.3.1.1. Единичные сбои	425
7.3.1.2. Единичная защелка	428
7.3.1.3. Единичное выгорание	428
7.3.1.4. Единичный пробой затвора	429
7.3.1.5. Единичное восстановление (однотранзисторная защелка)	429
7.3.2. Эффекты полной дозы	429
7.3.3. Эффекты импульсного облучения	433
7.4. Результаты экспериментальных исследований образцов элементной базы КМОП БИС на КНИ-структурах	435
7.4.1. Состав тестовых элементов	435
7.4.2. Методика проведения эксперимента	438
7.4.3. Экспериментальные результаты	440
7.4.3.1. Резисторы	440
7.4.3.2. Диоды	443
7.4.3.3. Конденсаторы	445
7.4.3.4. Транзисторы	448
Литература к главе 7	458
Глава 8. Библиотеки проектирования субмикронных микросхем – структура и особенности	459
8.1. Маршрут процесса разработки библиотеки проектирования, структура стандартного PDK	459
8.2. Термины и определения, используемые при описании компонентов PDK	461
8.3. Стандартизация PDK	463
8.4. Маршрут проектирования смешанных аналогово-цифровых микросхем	467
8.5. Обобщенная информационная модель проектирования смешанных аналогово-цифровых ИМС	469
8.6. Определение состава базовой библиотеки проектирования и перечня стандартных элементов	471
8.7. Особенности разработки цифровых библиотек для проектирования заказных ИМС с субмикронными проектными нормами	473

8.8. Конструктивно-схемотехнические особенности проектирования базовых элементов библиотеки субмикронных микросхем	482
8.8.1. Схемы сдвига уровня напряжений	482
8.8.2. Схемы управления питанием	484
8.8.3. Библиотечные элементы изоляции субмикронных микросхем	485
8.8.4. Постоянно включенные буферы	487
8.9. Типовые информационные файлы PDK библиотеки проектирования	489
8.10. Стандартные модели источников тока (CCS) PDK	492
8.11. Способы и примеры адаптации стандартных инструментов проектирования ИМС к разработкам микросхем с проектными нормами 90, 65, 45 нм	494
8.11.1. Учебный (образовательный) дизайн-кит компании Synopsys: возможности, применение, перспективы	494
8.11.2. Краткий обзор EDK компании Synopsys	494
8.11.3. Стандартная библиотека цифровых компонентов фирмы Synopsys	498
8.11.4. Стандартная библиотека элементов ввода-вывода	501
8.11.5. Стандартный набор модулей памяти PDK	501
8.11.6. Цепь фазовой синхронизации PLL	501
8.11.7. География применения и перспективы EDK	502
8.12. Состав учебных дизайн-китов, предоставляемых Центром микроэлектроники ИМЕС	502
Литература к главе 8	506
Глава 9. Маршруты проектирования цифровых микросхем и систем-на-кристалле	507
9.1. Выбор маршрута проектирования микросхемы	507
9.2. Этап системного проектирования	510
9.3. Этап функционального проектирования	513
9.4. Этап логического проектирования	517
9.5. Этап физического (топологического) проектирования	518
9.6. Этап физической верификации и подготовки к производству	521
9.7. Аттестация проекта	523
9.8. Маршруты проектирования систем-на-кристалле	523
9.8.1. Тенденции развития средств проектирования	523
9.8.2. Методология проектирования SoC	525
9.8.3. Маршрут проектирования SoC	528
9.8.4. Системное проектирование SoC	529
9.8.5. Программные средства САПР для системного уровня	532
9.9. Практический пример моделирования системы-на-кристалле	534
9.9.1. Стандартный маршрут проектирования «SnK» фирмы Cadence	534

9.9.2. Описание среды моделирования и верификации.....	534
9.9.3. Проект в среде Cadence Incivise	539
Литература к главе 9.....	542
Глава 10. Основы логического проектирования КМОП-микросхем с пониженным энергопотреблением.....	543
10.1. Основы логического синтеза КМОП-микросхем с пониженным энергопотреблением.....	543
10.2. Определение источников рассеиваемой мощности в КМОП-микросхемах	545
10.3. Вероятностная оценка вариантов оптимизации по прогнозируемой переключательной активности узлов микросхемы	547
10.4. Выбор элементного базиса при проектировании КМОП-микросхем с пониженным энергопотреблением	549
10.5. Логический синтез КМОП-микросхем в базисе библиотечных элементов	551
10.6. Оптимизация двухуровневых логических схем с учетом рассеивания мощности.....	553
10.7. Выбор базовых вентилях технологически независимой функциональной схемы	554
10.8. Оптимизация многоуровневых логических схем из многовходовых вентилях.....	556
10.9. Оптимизация многоуровневых логических схем из двухвходовых вентилях.....	558
10.10. Технологическое отображение	560
10.11. Оценка энергопотребления спроектированных КМОП-микросхем на логическом и схемотехническом уровнях.....	562
10.12. Технология проектирования КМОП-микросхем с пониженным энергопотреблением с использованием комплекса ЭЛС	564
10.13. Архитектура программного комплекса ЭЛС	566
10.14. Функциональные возможности программного комплекса ЭЛС	567
Литература к главе 10.....	571
Глава 11. Основы проектирования кибербезопасных микросхем и систем-на-кристалле.....	573
11.1. Основы безопасности проектирования микросхем	573
11.1.1. Постановка задачи.....	573
11.1.2. Анализ типового маршрута проектирования микросхем	575
11.1.3. Возможные типы атак	576
11.1.4. Основные различия между разработкой безопасных микросхем и разработкой безопасных программ	577
11.1.5. Жизненный цикл разработки безопасного программного обеспечения	578
11.1.6. Методы безопасного проектирования микросхем.....	579

11.2. Программно-аппаратные методы противодействия аппаратным троянам в микросхемах	584
11.2.1. Защита данных.....	584
11.2.2. Защищенные архитектуры на RTL-уровне	588
11.2.3. Реконфигурируемые архитектуры	590
11.2.4. Репликация и другие методы защиты.....	592
11.3. Проектирование с целью обеспечения безопасности системы-на-кристалле.....	594
11.3.1. Введение в проблему	594
11.3.2. Описание структуры модуля безопасности	597
11.3.2.1. Введение в IP-инфраструктуры.....	597
11.3.2.2. Стандарт IEEE 1500	598
11.3.3. Структура модуля PPS	600
11.3.4. Проектирование функций безопасности PPS	603
11.3.4.1. Модели атак и стратегии по устранению их последствий	603
11.3.4.2. Примеры реализации простейших безопасных структур SoC.....	606
11.3.5. Протокол испытаний микросхемы согласно стандарту IEEE Std. 1500	614
11.3.5.1. Режимы работы элементов обвязки микросхемы	614
11.3.5.2. Особенности протокола тестирования SoC уровня PPS.....	616
11.3.6. Результаты моделирования демонстрационной версии безопасной SoC.....	619
11.3.6.1. Временная диаграмма работы системы	619
11.3.6.2. Методики обнаружения аппаратных троянов в SoC	621
11.3.6.3. Оценка необходимых аппаратные затрат для выявления трояна	624
11.3.7. Описание дополнительных возможностей блока PPS	626
11.4. Безопасная архитектура SoC.....	628
11.4.1. Введение в проблему	628
11.4.2. Структура и принцип работы стандартной шины SoC.....	630
11.4.3. Организация и принцип работы дешифратора адреса	632
11.4.4. Структура и принцип работы блока арбитра.....	634
11.4.5. Описание работы системы-на-кристалле непосредственно после обнаружения аппаратного трояна.....	637
11.4.6. Оценка аппаратных затрат на реализацию метода обеспечения безопасности	639
11.5. Использование «песочницы» как метода защиты от аппаратных троянов в SoC.....	643
11.5.1. Введение в проблему	643
11.5.2. Песочница как инструмент обеспечения безопасности	645
11.5.3. Анализ сходных направлений решения проблемы безопасности проектирования SoC.....	646

11.5.4. Особенности организации процедур перемещения аппаратных троянов в песочницу при проектировании SoC.....	648
11.5.5. Основные программные методы помещения в песочницу	649
11.5.6. Типовая структура аппаратной песочницы	650
11.5.7. Описание типового процесса проектирования защищенной SoC	652
11.5.8. Анализ практических примеров реализации песочницы в SoC.....	655
Литература к главе 11	660

Глава 12. Основы построения системы управления качеством
изготовления субмикронных интегральных микросхем на базе

тестовых структур.....	666
12.1. Методология организации технологического тестового контроля в процессе проектирования и производства микроэлектронных изделий.....	666
12.1.1. Место и роль полупроводниковых тестовых структур в процессе изготовления интегральных микросхем.....	666
12.1.2. Классификация технологических тестовых структур	668
12.1.3. Способы размещения тестовых структур на полупроводниковых пластинах	670
12.2. Принципы организации контроля процесса изготовления микросхем с использованием тестовых структур.....	672
12.2.1. Оценка качества процесса на основе метода межоперационного контроля пластин.....	672
12.2.2. Типовой состав тестового модуля контроля производственных процессов	673
12.2.3. Типовой состав тестовых структур для контроля качества субмикронных микросхем.....	674
12.2.4. Статистическая обработка результатов измерений тестовых структур	677
12.3. Прогнозирование процента выхода годных микросхем по результатам тестового контроля.....	678
12.3.1. Особенности моделирования процента выхода годных микросхем	678
12.3.2. Модель пооперационного разделения дефектности технологического процесса изготовления микросхем	682
12.4. Типовая структура системы тестового контроля качества технологических процессов	685
12.4.1. Особенности организации тестовых модулей для биполярных и КМОП-микросхем.....	685
12.4.2. Типовой пример применения тестовых модулей для анализа технологического процесса изготовления в условиях серийного производства.....	689
12.5. Основные технологические факторы, влияющие на надежность микроэлектронных изделий.....	691

12.5.1. Основы теории надежности полупроводниковых приборов и интегральных микросхем	691
12.5.2. Пути повышения надежности системы металлизации интегральных микросхем и полупроводниковых приборов	695
Литература к главе 12	700
Глава 13. Основные тенденции развития, проблемы и угрозы современной микроэлектроники	703
13.1. Форсайт как инструмент долгосрочного прогнозирования научно-технического развития	703
13.2. Основные направления развития современной микроэлектроники	704
13.3. Использование новых материалов.....	706
13.4. Смена драйверов развития	707
13.5. Особенности экономики субмикронного производства	709
13.6. Усиление деструктивного действия эффекта Yield Killer.....	712
13.7. Состояние и перспективы развития технологии FinFET в Китае.....	714
13.8. Технологические проблемы современной микроэлектроники	716
13.9. Тенденции развития космической микроэлектроники	717
13.10. Интегральная фотоника – новый этап в развитии микроэлектроники	718
13.11. Основы квантовой микроэлектроники	720
13.12. Изменение парадигмы проектирования микросхем.....	720
13.13. Современная микроэлектроника и кибербезопасность	721
13.14. Принципиальные отличия «отечественных» и «зарубежных» концепций разработки и использования ЭКБ при проектировании РЭА	724
13.15. Микроэлектронная промышленность как основа суверенитета России.....	727
Литература к главе 13.....	728
Глава 14. Технологии корпусирования микросхем	732
14.1. Основные тенденции развития технологий корпусирования микросхем	732
14.2. BGA-технология сборки кристаллов.....	736
14.3. Технология монтажа кристаллов на плату.....	738
14.4. Многокристальные модули и печатные платы.....	740
14.5. Основные тенденции развития технологий корпусирования высокоскоростных микроэлектронных устройств.....	744
14.5.1. Тенденция уменьшения шага выводов корпуса микросхем	744
14.5.2. Технология сборки на пластине (WLP)	749
14.6. Технологии TSV сборки микросхем	755
14.7. Особенности сборки 3D-изделий с использованием технологии «flip-chip»	760
14.8. Основные тенденции развития технологии корпусирования микроэлектронных изделий космического и военного назначения	763

14.9. Специализированные радиационно-защитные корпуса микросхем	768
14.9.1. Современные материалы и конструкции корпусов с интегрированными элементами радиационной защиты.....	768
14.9.2. Экспериментальные исследования экранов радиационной защиты на основе различных материалов.....	773
14.9.3. Корпуса для микросхем с ЭРЗ на основе композитного материала W-CU	777
Литература к главе 14.....	778

Вместо предисловия – дайджест

Предлагаемая вниманию читателя книга ориентирована в первую очередь на студентов, преподавателей, магистрантов, инженерно-технических работников, специализирующихся в области микроэлектроники и ее многочисленных приложений. Кроме того, материалы книги могут быть полезны ученым, специалистам в области разработки, организации производства и эксплуатации радиоэлектронных устройств и систем бытового, промышленного и специального (космического и военного) назначения. Фактически материалы книги представляют собой практическое руководство (Handbook) по проектированию современных кремниевых субмикронных цифровых микросхем и систем на кристалле.

На момент выхода этой книги имеется достаточно много аналогичных книг (учебников и методических пособий), опубликованных в ведущих зарубежных издательствах. Так, например: «Handbook of Digital CMOS Technology, and System» Abbas Karim; «Handbook of Digital Technology for High Speed Design» автора Тома Гранбегра; «Design Techniques for High-Frequency CMOS Integrated Circuits: From 10 GHz To 100 GHz» автора Zhiming Deng; «High-Speed Digital System Design. Art, Science and Experience» авторы А.И. Белоус, В.А. Солодуха; «Space Microelectronics Volume 2: Integrated Circuit Design for Space Applications» авторы А.И. Белоус, В.А. Солодуха, С.В. Шведов. По отдельным аспектам этого направления имеется достаточно много и отечественных изданий: «Электроника» авторов В.И. Лачин, Н.С. Савелов; «Конструктивно-технологические особенности субмикронных МОП-транзисторов» Г.Я. Красникова; «Основы силовой электроники» А.И. Белоус, В.А. Солодуха, С.А. Ефименко, В.А. Пилипенко; «Космическая электроника» А.И. Белоус, В.А. Солодуха, С.В. Шведов; «Основы схемотехники микроэлектронных устройств» А.И. Белоус, В.А. Емельянов, А.С. Турцевич; «Цифровая схемотехника» Е.П. Угрюмов и др.

В этих книгах на хорошем уровне детально рассматриваются различные частные аспекты комплексной проблемы проектирования и организации производства интегральных схем. Еще одним полезным источником информации являются статьи в наиболее популярных специализированных периодических научно-технических журналах – это достаточно общедоступный источник информации, но, как известно, журнальная статья также обычно посвящена только одной и достаточно узкой технической проблеме.

Авторы сами много лет читают лекции российским и белорусским студентам и хорошо понимают остроту этой проблемы как для студентов, так и для преподавателей.

Конечно, всегда «под рукой» есть интернет, где можно оперативно найти необходимую информацию, но здесь «беда» в том, что эта актуальная информация – как правило – на английском языке.

Образно говоря, отечественные студенты и инженеры, специализирующиеся в области микроэлектроники и ее приложений, могут получить из этих книг, статей и социальных сетей детальное и качественное описание отдельных «деревьев», но им приходится прилагать значительные усилия, чтобы увидеть общую картину «леса».

Поэтому авторы поставили перед собой достаточно амбициозную задачу – создать целостную картину такого «микроэлектронного леса», состоящего из отдельных «деревьев» (глав). В каждой из вошедших в книгу 14 глав детально и последовательно

рассмотрены основные этапы (направления) создания современной микросхемы – от детального описания физических механизмов работы базового транзистора, описания конструктивно-технологических и схемотехнических особенностей до базовых библиотек, маршрутов проектирования, инновационных технологий микромонтажа микросхем и систем на кристалле, методов проектирования кибербезопасных микросхем, систем на кристалле и заканчивая «деревом» – главой, посвященной анализу состояния, проблемам и перспективам развития современной микроэлектроники.

При этом авторы руководствовались следующими *принципами* построения материалов глав, которые было достаточно просто сформулировать, но оказалось достаточно тяжело выполнить в процессе написания книги:

1. Чтобы стать достаточно популярным изданием среди широкого круга читателей (инженеров и студентов), книга должна выполнять одновременно интегральные функции и классического учебника, и краткого справочника, да и просто увлекательной книги.
2. В книге должен быть представлен достаточно объемный справочный материал, но в отличие от классических учебников с избытком формул, математических выражений, попытаться максимально простым языком изложить как основные теоретические аспекты исследуемой проблемы, так и основные методы и средства ее решения. В частности, привести конкретные практические примеры проектирования современных микросхем.
3. В книгу должны включаться только те методы, схемотехнические и технологические решения, эффективность которых ранее была подтверждена практикой их применения.
4. В тексте книги необходимо использовать максимально возможное количество графического материала, отражающего эффективность различных рабочих сценариев.

Теоретические основы работы полевых транзисторов

Прежде всего следует подчеркнуть, что каждый разработчик должен хорошо понимать *физику работы базового элемента микросхемы – транзистора*. Поэтому в первой вводной главе этой книги изложены теоретические основы работы классических полевых транзисторов, подробно рассмотрены физические основы работы современных субмикронных транзисторов, особенности работы классического полевого транзистора с длинным каналом (механизмы влияния подложки, математические выражения для оценки величины допорогового тока и др.), подробно описаны механизмы основных физических процессов, происходящих в субмикронном транзисторе, в том числе физические эффекты, влияющие на величину порогового напряжения транзистора и методы ограничения эффекта сквозного пробоя, а также эффекты возникновения токов утечки стока МОП-транзистора, обусловленные влиянием его затвора.

Особенности конструктивно-схемотехнического проектирования

В объеме отдельной главы представлены результаты детального анализа особенностей конструктивно-схемотехнического проектирования современных субмикронных КМОП-микросхем, основные проблемы и тенденции развития кремниевых микросхем, пути уменьшения потребляемой мощности, анализируются физические

взаимосвязи между токами утечки и величиной статической мощности, между токами утечки и величиной динамической мощности, а также пути и методы уменьшения суммарной величины потребляемой микросхемой мощности.

Здесь же рассмотрены не менее важные вопросы обеспечения надежности (помехоустойчивости) передачи сигналов в субмикронных КМОП-микросхемах, а также физические эффекты влияния температуры и технологических разбросов параметров на технические характеристики кремниевых микросхем. Впервые в отечественной литературе детально проанализирована очень важная для практического использования взаимосвязь величин разброса параметров технологического процесса изготовления и токов утечки.

Основы схемотехники микроэлектронных устройств

Следует обратить внимание читателей на тот факт, что большой объем материала (четыре главы) авторами посвящен изложению основ схемотехники современных микроэлектронных устройств (микросхем и систем на кристалле). Этот факт обусловлен тем, что наша книга устраняет ряд очевидных для специалистов в этой сфере «пробелов» в большом объеме существующей научной и научно-технической литературы по вопросам анализа особенностей работы, методам проектирования и основам практического применения цифровых микросхем в составе современных микроэлектронных устройств. Здесь представлен большой набор эффективных ***схемотехнических решений*** базовых элементов для реализации требований, предъявляемых к современным сложнофункциональным, высокопроизводительным и надежным микроэлектронным устройствам.

Эта тема заслуживает более подробного пояснения.

Как известно, процесс создания любой цифровой микросхемы состоит из двух основных взаимосвязанных этапов: *логического проектирования*, в ходе которого определяется логическая организация (архитектура), система команд, интерфейс, структура устройств управления и обработки данных, включая временную диаграмму работы, и *схемотехнического проектирования*, включающего в себя совокупность задач выбора технологического базиса, преобразования логических схем в электрические схемы на транзисторном уровне, выбора схемотехнических решений базовых элементов, способов синхронизации, проектирования цепей питания, устройств защиты от внешних и внутренних помех, зарядов статического электричества и т.д.

Если методология и пути решения задач этапа *логического* проектирования достаточно широко рассмотрены в многочисленных зарубежных и отечественных изданиях, то с этапом *схемотехнического* проектирования, к сожалению, дело обстоит иначе.

Так, в современной многочисленной учебной и научно-технической литературе детально рассмотрены методы построения различных функциональных узлов комбинационного (дешифраторы, мультиплексоры, демультиплексоры, сумматоры, умножители и др.) и последовательного типа – автоматы с памятью (триггерные устройства, регистры, счетчики и др.), рассмотрены различные методики и средства их автоматизированного проектирования.

При этом эти узлы и блоки представляются на уровне «квадратиков», описываемых на языке булевой алгебры («И», «НЕ», «И-НЕ», «ИЛИ-НЕ» и т.п.) или в виде условно-графических обозначений (D-триггер, R-S-триггер, DV-триггер и т.п.).

Конечно, эта процедура является обязательным и неотъемлемым начальным этапом сквозного процесса проектирования любого микроэлектронного устройства. Однако как разработчик, так и конечный пользователь микроэлектронного устройства должны понимать, что находится «внутри» этих блоков и узлов. Разработчику это необходимо, чтобы путем выбора соответствующих элементов (транзисторов) и их связей обеспечить требуемые значения электрических и динамических параметров проектируемого устройства. Пользователю или специалисту по эксплуатации этого микроэлектронного устройства необходимо знать «начинку» этих блоков, чтобы понимать особенности функционирования конкретного микроэлектронного устройства в различных режимах его эксплуатации.

Ведь даже структура такого простейшего «кирпичика» – устройства внутренней памяти микросхемы – D-триггера, может быть реализована десятками различных схемотехнических вариантов соединений между собой составляющих его транзисторов. А современный студент должен ясно понимать, как из этого синтезированного блока (набора «квадратиков») «получается» топология соответствующего участка полупроводникового кристалла микросхемы, где размещение транзисторов на поверхности кристалла за счет организации соответствующих связей и межсоединений этих транзисторов между собой и с другими блоками позволяет реализовать заданный алгоритм функционирования блока (узла).

Но ведь этот D-триггер может быть реализован по различным технологиям – КМОП, БиКМОП, биполярный (ТТЛШ, ЭЛС, И²Л), каждая из которых имеет свои «нюансы» – так появились эти четыре «схемотехнические» главы.

В этих «схемотехнических» четырех главах предлагаемой книги и решается такая комплексная задача – для основных базовых блоков современных микроэлектронных устройств приводятся многочисленные примеры их схемотехнической реализации на уровне транзисторов и их взаимосвязей. Показано, например, что тот же простейший D-триггер в зависимости от его схемотехнической реализации будет обеспечивать различные, нужные разработчику численные значения быстродействия, нагрузочной способности, помехоустойчивости, мощности потребления и т.д.

Дополнительной особенностью этих четырех «схемотехнических» глав книги является детальное описание различного рода устройств (элементов) согласования – входных и выходных, которые обеспечивают электрическое и временное согласование при работе микросхемы в конечном радиоэлектронном устройстве, а также приведенные здесь методы и схемотехнические решения всегда актуальной проблемы снижения энергопотребления современных микросхем.

Побудительным мотивом авторов к написанию этих «схемотехнических» глав явилось желание помочь широкому кругу студентов, преподавателей, инженеров, специализирующихся в области проектирования и эксплуатации различных микроэлектронных устройств, понять физические механизмы протекания процессов, происходящих внутри этих «кирпичиков», из которых строятся современные микросхемы и системы на кристалле. Ведь именно схемотехнические решения базовых элементов микросхем определяют в конечном итоге численные значения электрических, статических и динамических характеристик, потребляемой мощности, быстродействия, помехоустойчивости и даже площади кристалла микросхемы.

В этой связи полезно будет вспомнить ряд основных «классических» изданий по данной тематике, написанных много лет назад, но которые до сих пор можно увидеть на рабочих местах современных инженеров «по электронике» и в книжных магазинах.

Наиболее близкое к обсуждаемой здесь теме и широко известное студентам издание, монография «*Искусство схемотехники*» — классический учебник по цифровой и аналоговой схемотехнике, была написана американскими учеными-практиками *Paul Horowitz* из *Harvard University* и *Winfield Hill* из *Rowland Institute for Science, Cambridge, Massachusetts*, первое английское издание (*Cambridge University Press*) вышло в 1980 г. и впоследствии выдержало десятки изданий, и даже сегодня пользуется спросом у студентов.

Этот ажиотаж вокруг книги американских специалистов и ее популярность до сих пор среди широкого круга читателей объясняется, с одной стороны, широтой охвата предметной области — основ конструирования радиоэлектронных схем, обширной справочной информацией по элементной базе («кирпичикам», из которых состояли радиоэлектронные устройства на момент написания книги), а во-вторых, в отличие от классических учебников с избытком математических выкладок и физических формул, авторы простым языком, на большом количестве понятных практических примеров изложили все основные (на то время) аспекты конструирования радиоэлектронных устройств, на уровне, доступном для понимания даже «слабо подготовленными» читателями.

За свою необычайную для такого ряда изданий популярность среди студентов и инженеров по электронике книга получила в 90-х годах прошлого века вполне заслуженное неофициальное звание — «библия электроники».

Очевидно, что за прошедшие с момента написания этой книги более 40 (!) лет элементная база микросхем, радиоэлектронных устройств и систем, подчиняясь известному закону Мура, изменилась принципиально. Те самые «кирпичики», блестяще описанные в этой «библии электроники», давно уже вошли в состав более крупных «строительных блоков» (IP-блоки или «Intellectual properties»), из которых «собираются» современные микросхемы и системы на кристалле, появились и новые элементы, которые раньше просто нельзя было реализовать технологически, появились базовые элементы, работающие на совершенно новых физических принципах и механизмах.

Основное достоинство предлагаемой авторами книги и заключается в детальном описании принципов работы и правил применения этих современных базовых элементов в составе микроэлектронных устройств. Например, элементов, реализованных по современной биполярно-полевой технологии (БиКМОП или BiCMOS), на момент выхода последнего англоязычного издания «библии» просто не было, то же самое можно сказать и о микромощной КМОП-элементной базе.

До сих пор в учебных курсах многих вузов также используется книга авторов *Титце У., Шенк К.* «*Полупроводниковая схемотехника: справочное руководство*». Пер. с нем. *Halbleiter — Schaltungstechnik/ под ред. А.Г. Алексенко.* — М.: Мир, 1982. В Германии и в России эта книга выдержала более двадцати изданий. Хотя в этой книге рассматриваются всего лишь структуры простейших полупроводниковых элементов, которые сегодня практически не используются в микроэлектронных устройствах (за исключением элементов силовой электроники, детально исследованных в той книге). Тем не менее очередные русскоязычные версии этого спра-

вочного руководства до сих пор периодически выпускаются издательствами, в том числе российскими, и пользуются спросом у специалистов и студентов, поскольку в продаже до сих пор отсутствовали более «современные» издания.

Сегодня на книжных рынках США, Англии и Европы присутствует и ряд других книг, посвященных схемотехнике современных микроэлектронных устройств, однако большинство из них рассматривают только отдельные составные части комплексной проблемы проектирования и содержат описания частных технологий (методы снижения рассматриваемой мощности, повышения производительности, способы моделирования, защиты от паразитных эффектов и т.д.) применительно к конкретным технологическим базисам – КМОП, биполярным, БИКМОП, КНИ (SOI) и др.

Радиационная стойкость микроэлектронных устройств.

В последнее время существенно усилились требования к *радиационной стойкости* микросхем, предназначенных для использования в военной и космической технике. Поэтому авторы включили в книгу специальную главу, посвященную особенностям проектирования радиационно-стойких микросхем на основе КНС и КНИ-структур, в которой детально рассмотрены физические явления, происходящие в процессе воздействия ионизирующего излучения на кремний и двуокись кремния: механизмы образования радиационных дефектов и их кластеров, воздействие излучений на свойства границы раздела Si/SiO₂, физические механизмы воздействия ионизирующих излучений на диэлектрические слои, особенности дефектообразования в кремнии (и поликремнии) при облучении гамма-квантами, радиационные изменения в «скрытом» диэлектрике КНИ-структур. Нами здесь детально рассмотрены и *физические явления в МОП-транзисторах на КНИ-подложке в условиях воздействия ионизирующих излучений*: единичные «сбои», единичные «зашелкивания» (тиристорные эффекты), единичное «выгорание», пробой затвора, а также так называемые эффекты полной дозы. Достоинством этой главы является тот факт, что здесь мы дополнительно представили описание конкретных топологических решений и результаты статистического анализа наших конкретных экспериментальных исследований библиотечных элементов КНИ-микросхем (резисторы, диоды, конденсаторы и транзисторы).

Библиотеки проектирования субмикронных микросхем

В рамках еще одной отдельной «учебной» главы представлен состав, основные правила разработки и особенности применения библиотек проектирования субмикронных микросхем, которые в среде разработчиков называют «дизайн-китами» или PDK (от англ. Process Design Kits).

В последнее время в связи с возникновением самостоятельных (независимых от разработчиков микросхем) полупроводниковых фабрик, занимающихся заказным серийным производством микросхем (Integrated Circuits Foundry – ICF), а также в связи с объективной необходимостью совместного использования стандартных средств проектирования и «покупных» IP-блоков (Intellectual Properties) от других компаний, именно библиотеки проектирования (PDK) стали основным связующим звеном между разработчиками микросхем и их изготовителями. В этой главе подробно рассматривается типовой маршрут процесса разработки и типовая структура PDK, минимальный состав базовой библиотеки и минимальный перечень стандартных

элементов, трансляторов уровней, модели источников тока, входные и выходные буферы, типовые информационные файлы библиотеки проектирования, а также приводится описание конкретного учебного (образовательного) PDK компании Synopsys.

Маршруты проектирования субмикронных микросхем

Эта глава посвящена изучению маршрутов проектирования современных субмикронных микросхем. Здесь рассмотрены особенности выбора конкретного маршрута проектирования в зависимости от исходных требований заказчика микросхемы, содержание основных этапов маршрута – системного, функционального и физического проектирования, финишной аттестации проекта. Подробно рассматриваются особенности проектирования микроэлектронных изделий более высокого уровня сложности – систем на кристалле: тенденции развития, детализированные маршруты проектирования, методологии проектирования, специфические особенности этапа системного проектирования систем на кристалле, базовый состав средств САПР для системного уровня. Для «закрепления» изученного материала будут приведены с авторскими комментариями понятные практические примеры выполнения процесса моделирования системы на кристалле, описанные в среде моделирования Cadance Incisive.

Основы логического проектирования КМОП-микросхем с пониженным энергопотреблением

Глава посвящена рассмотрению особенностей *логического* проектирования КМОП-микросхем с пониженным энергопотреблением. Особенности развития современных субмикронных технологий заставляют разработчиков микросхем искать все новые методы и способы проектирования, направленные на снижение величины потребляемой мощности, обусловленной токами утечки, значение и вклад которых существенно возрастает с уменьшением проектных норм. В этой главе рассматриваются новые методы логического проектирования КМОП-микросхем с пониженным потреблением, основанные на использовании математического аппарата вероятностной оценки различных вариантов оптимизации по прогнозируемой так называемой переключательной активности основных блоков (узлов) проектируемой микросхемы. Представлены основные этапы такого логического проектирования – от выбора требуемого элементного логического базиса, логического синтеза в этом выбранном базисе, процедуры оптимизации двухуровневых логических схем, оптимизации многоуровневых логических схем, построенных как на двухвходовых, так и на многовходовых логических вентилях, и завершая процедурами «технологического отражения» и оценки энергопотребления спроектированной (синтезированной) микросхемы как на логическом, так и схемотехническом уровнях.

В конце главы подробно описан соответствующий программно-аппаратный комплекс логического проектирования микромошных КМОП-микросхем.

Основы проектирования кибербезопасных микроэлектронных устройств

Как известно, в течение последнего десятилетия в мире произошла эволюция (изменение) традиционной парадигмы проектирования микросхем, обусловленная техническим феноменом возможности появления в микросхемах встроенных «кем-то» разнообразных *аппаратных троянов*.

Эти трояны могут выполнять по команде своего «хозяина» самые разные несанкционированные и скрытые от разработчика аппаратуры функции: передавать «хозяину» любую секретную информацию, изменять режимы функционирования, электрические режимы работы микросхемы – вплоть до ее отказа. Попадая на платы электронных блоков электронной аппаратуры, компьютеров, систем управления высокоточным оружием, систем энергообеспечения мегаполисов, систем управления магистральными газопроводами и т.п., эти «заряженные» микросхемы способны не только организовывать передачу «хозяину» информации, но и полностью «перехватывать» управление этими объектами – вплоть до приведения их в неработоспособное состояние. В книге *«Кибербезопасность объектов топливно-энергетического комплекса – концепции, методы и средства обеспечения»* (издательство «Инфра-Инженерия», 2020 г.) приведены многочисленные факты таких «инцидентов» на предприятиях нефтегазовой, энергетической отраслей и даже на атомных станциях.

В двухтомной технической энциклопедии *А.И. Белоус, В.А. Солодуха, С.В. Шведов «Программные и аппаратные трояны – способы внедрения и методы противодействия»*, *Техносфера*, 2018, рассмотрены типы таких троянов, принципы их проектирования и функционирования, способы внедрения, методы маскировки, методы выявления, защиты и противодействия им. В фундаментальной работе *А. Belous, V. Saladukha «Viruses, Hardware and Software Trojans» Springer Nature, 2020*, авторами были описаны эффективные методы проектирования «кибербезопасных» систем на кристалле.

Проблема заключается в том, что если в современной сложнофункциональной микросхеме внедренный троян хотя и очень сложно (и очень дорого!), но можно обнаружить, то в современных системах на кристалле найти его среди миллионов похожих элементов практически невозможно.

В вышедшей в издательстве *Springer* вышеупомянутой книге мы рассмотрели ряд концепций и методов проектирования «кибербезопасных» микросхем и систем на кристалле – когда даже внедренный троян «изолируется», не влияет на работу микроэлектронного устройства и не может передавать «хозяину» информацию. Таким образом, авторы надеются изменить сложившуюся практику, когда актуальная зарубежная техническая литература издается в России в переводе с английского языка только через несколько лет после появления на мировом книжном рынке.

Здесь, в этой главе, фактически впервые в отечественной научно-технической литературе нами детально в доступной студенту форме изложены теоретические основы проектирования кибербезопасных (в отечественной терминологии – доверенных) микросхем и систем на кристалле, приведены результаты критического анализа стандартных типовых маршрутов проектирования микросхем на предмет возможных атак злоумышленников на каждом этапе (шаге) процесса такого «стандартного» проектирования.

В отдельном разделе этой главы детально рассмотрены также достаточно эффективные программно-аппаратные методы противодействия аппаратным троянам в микросхемах (способы защиты данных от несанкционированного считывания, защищенные архитектуры на RTL-уровнях, реконфигурируемые архитектуры микросхем и систем на кристалле, а также «репликация» и другие методы защиты).

Системы управления качеством изготовления микросхем

Как известно, спроектированная разработчиком микросхема затем обычно передается на полупроводниковую фабрику, для изготовления опытных (экспериментальных) образцов. Мировая практика за последнее десятилетие показывает, что только примерно 40% спроектированных микросхем после изготовления соответствуют исходной спецификации (техническому заданию), поэтому получить полностью соответствующие заданию изделия, да еще с «плановым» процентом выхода годных, иногда удается только после выполнения целого ряда последовательных итераций (корректировок). Для того чтобы повысить эффективность и сократить сроки анализа и выявления причин недостижения заданных характеристик или процента выхода годных спроектированной микросхемы, в технологическом маршруте часто используются специальные тестовые структуры, размещаемые на кристалле (пластине) спроектированной микросхемы. Понимание физических механизмов отказов микросхем необходимо не только для правильного выбора конструктивных решений микросхемы с учетом допустимых и критичных уровней плотности тока в активных полупроводниковых структурах и межсоединениях, напряженности электрического поля в диэлектрических слоях, но это необходимо и для разработки соответствующих мероприятий по выявлению и отбраковке потенциально ненадежных микросхем на различных стадиях серийного производства.

В этой главе будут рассмотрены основные принципы формирования таких «встраиваемых» в кристалл (или пластину) полупроводниковых тестовых структур, определение их перечня и функций, основы пооперационного прогнозирования надежности спроектированной микросхемы по результатам статистической обработки численных значений измеренных параметров таких тестовых структур. Здесь представлены и пояснены также математические модели, связывающие полученное статистическое распределение значений технических параметров микросхем с конкретными показателями надежности, приведены конкретные практические примеры оптимизации технологических процессов с помощью специальных тестовых пластин.

Современное состояние и перспективы развития микроэлектроники

Эта глава будет *посвящена анализу основных тенденций развития, проблемам и угрозам современной микроэлектроники*. Здесь на основе использования методов форсайта, как инструмента долгосрочного прогнозирования научно-технического развития, определены тенденции и основные тематические направления развития современной микроэлектроники, рассмотрена динамика изменения состава используемых в субмикронных технологиях новых веществ, компонентов и материалов, обосновано появление новых «движущих сил» развития микроэлектроники (драйверы развития), проанализированы некоторые важные, ранее не исследованные в отечественной научно-технической печати особенности экономики субмикронного производства. Среди проявляющихся технологических угроз особое внимание уделено усилению деструктивного действия известного эффекта «убийцы процента выхода годных» (Yield Killer).

Рассмотрено состояние и основные направления развития космической микроэлектроники, радиофотоники, квантовой микроэлектроники, состояние дел и

перспективы развития инновационной технологии FinFET показано на конкретных примерах из опыта китайской полупроводниковой индустрии.

Корпусирование микроэлектронных устройств

В заключительной главе представлен анализ основных тенденций, перспектив и конкретных конструктивно-технологических решений, используемых в процессе корпусирования (микромонтажа) микроэлектронных устройств (микросхем, систем на кристалле, систем на пластине) различного назначения: это технологии BGA сборки кристаллов, WLP-сборки на пластине, TSV – трехмерной (3D) сборки, особенности сборки 3D-изделий на основе технологии «flip-chip», маршруты и технологии изготовления интерпоузеров.

В рамках отдельных параграфов здесь также будут рассмотрены конструкции и технологии изготовления специализированных радиационно-защитных конструкций корпусов для микросхем космического и военного назначения.

Далее во Введении представлена краткая аннотация каждой из вышеперечисленных глав этой книги.

В основу книги положены материалы семинаров лекционных курсов, много лет читаемых авторами в российских и белорусских вузах и академических институтах для студентов, аспирантов, магистрантов и преподавателей следующих специальностей: 5507002 «Электроника и микроэлектроника»; 551102 «Проектирование и технология электронных средств»; 5515002 «Приборостроение»; 5528002 «Информатика и вычислительная техника»; 2000003 «Электронная техника, радиотехника и связь»; 2100003 «Автоматика и управление» и др.

Кроме того, использованы результаты наших собственных исследований, опубликованных ранее в монографиях (в том числе за рубежом), патентах и статьях, а также результаты своей практической деятельности в области проектирования и применения микроэлектронных устройств.

Благодарности

Авторы выражают благодарность коллегам, активно участвовавшим в подготовке и обсуждении материалов книги, критические замечания, советы и дополнения которых способствовали улучшению как структуры книги, так и излагаемого в ней материала, – Борисенко В.Е., Бондаренко В.П., Стемпицкому В.Р., Силину А.В., Лынькову Л.М.

Особую благодарность авторы выражают коллегам, предоставившим нам оригинальные материалы собственных теоретических и практических исследований по тематике этой книги, включение которых в состав книги в значительной степени усилило практическую направленность работы: Бибило П.Н., Черемисинову Л.Д., Петлицкому А.Н., Петлицкой Т.В. и др.

Авторы выражают благодарность рецензенту – академику НАН Беларуси, иностранному избранному академику АН Российской Федерации Лабуну В.А., конкретные замечания и предложения которого в значительной степени способствовали формированию окончательного облика предлагаемой читателю книги.

Авторы также выражают благодарность Антипенко О.А. за качественное выполнение большого объема работ по техническому оформлению рукописи этой книги.

Введение

Для достижения поставленных в предисловии целей авторами была принята следующая последовательность изложения материала.

В первой главе изложены теоретические основы работы полевых транзисторов – базовых элементов современных массовых микросхем. Вначале кратко рассмотрены физические основы работы субмикронных транзисторов (типовая структура, область объединения, оценка величины накопленного заряда в слое инверсии, расчет толщины инверсионного слоя). Затем более детально рассмотрены особенности работы классического полевого транзистора с длинным каналом (механизмы влияния подложки, математические выражения для оценки величины допорогового тока и др.). В заключительной части главы приведены результаты качественного анализа основных физических процессов, происходящих в субмикронном транзисторе, в том числе подробно рассмотрены основные физические эффекты, влияющие на величину порогового напряжения транзистора, и методы ограничения эффекта сквозного пробоя, а также эффекты возникновения токов утечки стока МОП-транзистора, обусловленные влиянием его затвора.

Вторая глава посвящена детальному анализу особенностей конструктивно-схемотехнического проектирования современных субмикронных КМОП-микросхем. Здесь рассматриваются основные проблемы и тенденции развития кремниевых микросхем, пути уменьшения величины энергопотребления микросхем, анализируются физические взаимосвязи между токами утечки и величиной статической мощности, между токами утечки и величиной динамической мощности, а также пути и методы уменьшения суммарной величины потребляемой мощности. Подробно рассмотрены физические причины возникновения этих токов утечки, а именно: подпорогового тока утечки, туннельного тока затвора и тока выключения субмикронного полевого транзистора, а также основные методы уменьшения общей величины потреблений мощности. В отдельном разделе рассмотрены особенности проектирования субмикронных аналоговых и цифро-аналоговых микросхем.

Отдельный раздел главы посвящен анализу исключительно важной для практического применения проблемы снижения динамической мощности потребления субмикронных КМОП-микросхем. Здесь же рассмотрен не менее важный вопрос обеспечения надежности (помехоустойчивости) передачи сигналов в субмикронных КМОП-микросхемах (использование специальных библиотек и правил проектирования, использование встроенных на кристалле двух источников питающих напряжений и др.).

Детально рассмотрены физические эффекты влияния температуры и технологических разбросов параметров на технические характеристики кремниевых микросхем. Впервые в отечественной литературе детально проанализирована взаимосвязь величин разброса параметров технологического процесса изготовления и токов утечки.

Завершает главу анализ основных ограничений, имеющих место при проектировании субмикронных КМОП-микросхем с пониженным энергопотреблением: физические ограничения, конструктивно-технологические ограничения, схемотехнические ограничения, системотехнические ограничения.

В третьей главе систематизированы и проанализированы основные технические характеристики современных цифровых микросхем: обобщенная организационная структура микросхемы, структуры внутренних базовых элементов и элементов согласования (интерфейс), система основных параметров (функциональные, электрические, динамические параметры).

Детально рассмотрены основные варианты схемотехнической реализации базовых логических элементов цифровых микросхем, влияние дестабилизирующих факторов на их работоспособность (устойчивость к электрическим и температурным перегрузкам, к воздействию внешних и внутренних электрических помех, в том числе – помех по шинам питания и общим шинам).

Завершает эту главу анализ основных паразитных элементов и паразитных эффектов в цифровых микросхемах (паразитные транзисторы, эффекты «зашелкивания», эффект Миллера, эффекты «горячих электронов» и др.).

В четвертой главе последовательно и детально рассмотрены все «нюансы» схемотехнических решений цифровых КМОП-микросхем (как систематизированные по литературным источникам – статьям, патентам, так и разработанные авторами и апробированные на серийных микросхемах): базовые логические элементы и их модификации, статические и динамические логические элементы, элементы памяти (как управляемые уровнем синхросигнала, так и тактируемые фронтом синхросигнала).

Объемная **пятая глава** посвящена детальному анализу схемотехнических решений биполярных цифровых микросхем (ТТЛШ, ЭСЛ, И²Л и др.). Столь пристальное внимание в этой книге к биполярным микросхемам обусловлено тем фактом, что эти микросхемы, наряду с КМОП-микросхемами, широко используются в современных электронных системах управления систем вооружений, военной и космической техники, обладая в большинстве случаев более высокой устойчивостью к различным ионизирующим излучениям и высокой нагрузочной способностью.

Шестая глава посвящена изучению схемотехнических решений БиКМОП-микросхем. Как известно, КМОП-схемотехника наиболее удобна для проектирования быстродействующих малопотребляющих микросхем с высокой степенью интеграции. Однако с ростом сложности микросхем возникает проблема управления сравнительно большими суммарными емкостями, образованными емкостями разветвленных линий межсоединений и емкостями управлений нагрузок на кристалле и на выходах микросхемы. Показано, что БиКМОП-схемотехника обычно позволяет обеспечить компромиссное решение этой проблемы.

Представлены систематизированные результаты анализа схемотехнических решений базовых стандартных логических элементов, элементов памяти, входных и выходных элементов согласования.

Значительная часть материалов главы посвящена «нестандартным», но высокоэффективным, апробированным в серийном производстве, схемотехническим решениям: входные элементы согласования с преобразованием сигналов, трансляторы уровней с повышенной нагрузочной способностью, с повышенной помехозащищенностью, со встроенной памятью и др.

Аналогично представлены и выходные модифицированные элементы: с формированием выходных КМОП-уровней, ТТЛ и ЭСЛ-уровней, выходные БиКМОП-элементы с памятью и многие другие эффективные схемотехнические решения.

Седьмая глава посвящена особенностям проектирования радиационно-стойких микросхем на основе КНС и КНИ-структур. В начале главы детально рассмотрены физические явления, происходящие в процессе воздействия ионизирующего излучения на кремний и двуокись кремния: механизмы образования радиационных дефектов и их кластеров, воздействие излучений на свойства границы раздела Si/SiO_2 , физические механизмы воздействия ионизирующих излучений на диэлектрические слои, особенности дефектообразования в кремнии (и поликремнии) при облучении гамма-квантами, радиационные изменения в «скрытом» диэлектрике КНИ-структур. Детально рассмотрены физические явления в МОП-транзисторах на КНИ-подложке в условиях воздействия ионизирующих излучений: единичные «сбои», единичные «зашелкивания» (тиристорные эффекты), единичное «выгорание», пробой затвора, а также так называемые эффекты полной дозы. Завершает главу статистический анализ конкретных экспериментальных исследований библиотечных элементов КНИ-микросхем (резисторы, диоды, конденсаторы и транзисторы).

Восьмая глава предназначена для изучения состава, основных правил разработки и особенностей применения библиотек проектирования микросхем, которые в среде разработчиков называют «дизайн-китами» или PDK (от англ. Process Design Kits). На протяжении последних 10 лет ежегодно в мире разрабатывается около 10 000 проектов по разработке микросхем, в которых задействуется ежегодно сотни тысяч разработчиков. Поэтому перед многочисленными командами разработчиков микросхем всегда стояла проблема унификации и стандартизации подходов к созданию таких библиотек.

В последнее время в связи с возникновением самостоятельных (независимых от разработчиков микросхем) полупроводниковых фабрик, занимающихся заказным серийным производством микросхем (Integrated Circuits Foundry – ICF), а также в связи с объективной необходимостью совместного использования стандартных средств проектирования и «покупных» IP-блоков (Intellectual Properties) от других компаний, именно библиотеки проектирования (PDK) стали основным связующим звеном между разработчиками микросхем и их изготовителями. В начале этой главы рассматривается типовой маршрут процесса разработки и типовая структура PDK, минимальный состав библиотеки и минимальный перечень стандартных элементов, трансляторов уровней, модели источников тока, входные и выходные буферы, а также типовые информационные файлы библиотеки проектирования.

Завершает главу раздел, посвященный детализированному описанию конкретного учебного (образовательного) PDK компании Synopsys.

Девятая глава является логическим продолжением тематики предыдущей главы и посвящена изучению маршрутов проектирования субмикронных микросхем. В первой части главы рассмотрены особенности выбора конкретного маршрута проектирования в зависимости от исходных требований заказчика микросхемы, содержание основных этапов маршрута: системного, функционального и физического проектирования, финишной аттестации проекта.

Затем рассматриваются особенности проектирования микроэлектронных изделий более высокого уровня сложности – систем на кристалле: тенденции развития, маршруты проектирования, методологии проектирования, особенности

этапа системного проектирования систем на кристалле, базовый состав средств САПР для системного уровня.

Завершают главу практические примеры выполнения процесса моделирования системы на кристалле, описанные в среде моделирования Cadance Incisive.

Глава 10 посвящена рассмотрению особенностей логического проектирования КМОП-микросхем с пониженным энергопотреблением. Как было показано в предыдущих главах, особенности развития современных субмикронных технологий заставляют разработчиков микросхем искать все новые методы и способы проектирования, направленные на снижение величины потребляемой мощности, обусловленной токами утечки, значение и вклад которых существенно возрастает с уменьшением проектных норм. В главе 2 такие методы и решения рассматриваются достаточно детально. Но есть и другой (параллельный) путь снижения энергопотребления — использование специальных методов и подходов еще на первых этапах логического проектирования микросхемы. В этой главе как раз и рассматриваются основы логического проектирования КМОП-микросхем с пониженным потреблением. В качестве теоретической основы подхода используется математический аппарат вероятностной оценки различных вариантов оптимизации по прогнозируемой «переключательной активности» основных блоков (узлов) проектируемой микросхемы.

Здесь последовательно рассмотрены основные этапы такого логического проектирования — от выбора требуемого элементного логического базиса, логического синтеза в этом выбранном базисе, процедуры оптимизации двухуровневых логических схем, оптимизации многоуровневых логических схем, построенных как на двухвходовых, так и на многовходовых логических вентилях и завершая процедурами «технологического отражения» и оценки энергопотребления спроектированной (синтезированной) микросхемы как на логическом, так и схмотехническом уровне.

В конце главы подробно описан соответствующий программно-аппаратный комплекс логического проектирования микромощных КМОП-микросхем.

В течение последнего десятилетия в мире произошла эволюция (изменение) традиционной парадигмы проектирования микросхем, обусловленная техническим феноменом появления в микросхемах встроенных «кем-то» разнообразных аппаратных троянов.

В главе 11 фактически впервые в отечественной научно-технической литературе детально изложены основы проектирования кибербезопасных (в отечественной терминологии — доверенных) микросхем и систем на кристалле.

В начале главы приведены результаты критического анализа типовых маршрутов проектирования микросхем, рассмотренных ранее в главе 9, на предмет возможных атак злоумышленников на каждом этапе (шаге) процесса проектирования.

В отдельном разделе детально рассмотрены достаточно эффективные программно-аппаратные методы противодействия аппаратным троянам в микросхемах (способы защиты данных от несанкционированного считывания, защищенные архитектуры на RTL-уровнях, реконфигурируемые архитектуры микросхем и систем на кристалле, репликация и другие методы защиты). Изучение этих материалов будет полезно не только разработчикам микросхем, но и разработчикам радиоэлектронной аппаратуры ответственного назначения.

Специальный раздел главы посвящен уже апробированным зарубежными разработчиками методам проектирования кибербезопасных (доверенных) систем на кристалле. Прежде всего это описание структуры и модуля безопасности IPS, организованного в полном соответствии с уже действующим на Западе и малоизвестным отечественным разработчикам комплексом стандартов безопасности IEEE-1500.

Рассмотрены модели различных возможных атак и конкретные методы по устранению их негативных последствий, приводится описание и анализ результатов моделирования «демонстрационной версии» типовой «кибербезопасной SoC», методики обнаружения аппаратных троянов в SoC, изготовленных на «сторонних» фабриках, приведена оценка необходимых аппаратных ресурсов для выявления троянов и много других интересных вещей.

В конце главы, опять же впервые в отечественной литературе, приведено детальное описание методики использования известной пока только программистам «песочницы» для защиты от аппаратных троянов в «кибербезопасных SoC»: основные программные методы перемещения в «песочницу», типовая архитектура «песочницы», описание типового процесса проектирования такой «защищенной» SoC, анализ известных из зарубежной литературы практических примеров реализации «песочниц» в современных SoC.

Глава 12 посвящена так называемым встраиваемым тестовым структурам. В предыдущих главах рассмотрены все основные этапы разработки микросхемы – от физики работы МОП-транзистора до методов проектирования «защищенных» систем на кристалле. Далее спроектированное в микроэлектронике изделие передается на полупроводниковую фабрику для изготовления первой (пилотной) партии. Еще не факт, что изготовленные на фабрике и полученные разработчиком для последующего тестирования изделия будут полностью соответствовать требованиям исходного технического задания и спецификации. Мировая практика за последнее десятилетие показывает, что только примерно 40% спроектированных микросхем после изготовления соответствуют исходной спецификации. В итоге получить «полностью годные» изделия иногда удается только после выполнения целого ряда интеграций (корректировок). Для того чтобы повысить эффективность и сократить сроки анализа и выявления причин недостижения заданных характеристик спроектированной микросхемы, используются специальные тестовые структуры, размещаемые на кристалле (пластине) спроектированной микросхемы. Ведь для разработчиков современных микросхем особенно важно понимание физических механизмов и причин отказов и низкого выхода годных. Это необходимо не только для правильного выбора конструктивных решений микросхемы с учетом допустимых и критичных уровней плотности в активных полупроводниковых структурах и межсоединениях, напряженности электрического поля в диэлектрических слоях, но и для разработки соответствующих мероприятий по выявлению и отбраковке потенциально ненадежных микросхем на различных стадиях серийного производства.

Поэтому в главе 12 рассмотрены основные принципы формирования состава и конструкций «встраиваемых» полупроводниковых тестовых структур, основы пооперационного прогнозирования надежности спроектированной микросхемы по результатам обработки численных значений измеренных параметров тестовых

структур. Представлены математические модели, связывающие статистическое распределение значений технических параметров микросхем с показателями надежности, приведены конкретные примеры такой оптимизации технологических процессов.

Глава 13 посвящена анализу основных тенденций развития, проблемам и угрозам современной микроэлектроники. Здесь на основе использования методов форсайта, как инструмента долгосрочного прогнозирования научно-технического развития, определены тенденции и основные тематические направления развития современной микроэлектроники, рассмотрена динамика изменения состава используемых в субмикронных технологиях новых компонентов и материалов, обосновано появление новых «движущих сил» развития микроэлектроники (драйверы развития), показаны некоторые важные особенности экономики субмикронного производства. Среди проявляющихся технологических угроз отмечено усиление деструктивного действия эффекта «убийцы процента выхода годных» (Yield Killer).

Отдельный раздел посвящен анализу состояний дел и перспектив развития инновационной технологии FinFET на примере китайской полупроводниковой индустрии.

Рассмотрено кратко состояние и перспективы развития космической электроники, радиофотоники, квантовой микроэлектроники.

Проанализированы причины изменения (эволюции) классической парадигмы проектирования микросхем и связанные с этим проблемы обеспечения кибербезопасности (достоверности) микросхем ответственного назначения.

В заключительной *главе 14* представлен анализ основных тенденций, перспектив и конкретных технических решений, используемых для решения задач корпусирования (микромонтажа) микроэлектронных устройств различного назначения: это технологии BGA сборки кристаллов, WLP-сборки на пластине, TSV-трехмерной (3D) сборки, особенности сборки 3D изделий на основе технологии «flip-chip».

В рамках отдельных параграфов здесь рассмотрены конструкции и технологии изготовления специализированных радиационно-защитных конструкций корпусов микросхем космического и военного назначения.

ГЛАВА I

ФИЗИЧЕСКИЕ ОСНОВЫ РАБОТЫ ПОЛЕВЫХ ТРАНЗИСТОРОВ

1.1. Физические основы работы субмикронных МОП-транзисторов

Настоящая глава посвящена некоторым фундаментальным вопросам физики работы КМОП-полевых транзисторов с малыми геометрическими размерами. В данном разделе будет показано, что многие физические явления, которые отсутствуют в известных микроэлектронных приборах с «большими» проектными нормами, проявляются *только* в субмикронных микросхемах и существенно влияют на принципы их работы и величину потребляемой мощности [1]. Рассмотрим более подробно как эти явления, так и известные из литературы способы борьбы с их нежелательными проявлениями. В начале этой главы мы рассмотрим *классическую* структуру металл-окисел-полупроводник (МОП), приведем аналитические выражения для напряжения порога включения МОП-транзистора, глубины области обеднения, величины заряда в инверсионном слое и толщины слоя инверсии. Здесь же будут рассмотрены полевые МОП-транзисторы с длинным каналом, приведем анализ влияния подложки на пороговые напряжения, рассмотрим модель «подпороговой» работы полевых МОП-транзисторов, которая будет использоваться для оценки подпороговых токов. Вводится важная характеристика прибора, называемая *подпороговым размахом*. Многие физические явления, которые отсутствуют в приборах с более «крупной» геометрией, имеют место в субмикронных приборах и существенно влияют на различные аспекты их характеристик, включая такой параметр, как потребление мощности. В данном разделе используется физико-математическая модель субмикронного полевого МОП-транзистора на основе снижения порогового напряжения, обусловленная эффектом короткого канала [5]. Другие физические явления – эффекты узкого затвора, зависимость смещения подложки и эффекты инверсионного «короткого» канала исследуются в следующих разделах, в том числе «подповерхностный» эффект смыкания и способы его предотвращения.

Изучение физики полевых МОП-транзисторов подготовит читателя к последующим главам, в которых упор будет сделан на изучение различных компонентов общего потребления мощности в кристаллах КМОП СБИС.

1.1.1. Типовая структура МОП-транзистора

Стабильность и надежность всех полупроводниковых приборов тесно связаны с их поверхностными состояниями. Как известно, простейшая МОП-структура (конденсатор, управляемый напряжением, и диод) является превосходным средством

для исследования поверхности любого полупроводника. Для начала в этой главе будут обсуждаться «идеальные» МОП-диоды, а в конце раздела будут кратко рассмотрены «неидеальные» (реальные) характеристики применительно к эффектам, связанным с субмикронной технологией их изготовления.



Рис. 1.1. Эскиз типовой МОП-структуры

На рис. 1.1 схематично показана такая типовая МОП-структура. Слой толщиной d из изолирующего материала располагается между металлической пластиной и полупроводниковой подложкой. Для конкретизации последующих рассуждений пусть полупроводник будет p -типа. Между подложкой и металлической пластиной подается напряжение V . Вначале рассмотрим случай, когда $V = 0$. Так как мы рассматриваем идеальный МОП-диод, где разность энергий ϕ_{ms} между работой выхода из металла и работой выхода из полупроводника — нулевая, то будет справедливо следующее широко известное выражение [1, 2]:

$$\phi_{ms} \equiv \phi_m - \left(\chi + \frac{E_g}{2q} + \psi_B \right) = 0, \quad (1.1)$$

где χ — сродство электрона в полупроводнике; E_g — запрещенная зона; ϕ_m — потенциальный барьер между металлом и изолятором; ψ_B — разность потенциалов между «внешним» уровнем Ферми E_F и «внутренним» уровнем Ферми E_i .

Для понимания следующего материала необходимо ввести ряд определений и пояснений.

1. **Работа выхода** ϕ_{ms} обычно определяется, как минимальная энергия, необходимая для электронов металла в системе металл-вакуум для выхода в вакуум с внутренней энергией на уровне Ферми. В системе металл-полупроводник работа выхода также может использоваться, но только с заменой диэлектрической проницаемости свободного пространства ϵ_0 на диэлектрическую проницаемость среды полупроводника ϵ_s .
2. **Сродство электрона** в полупроводнике χ — это разница потенциалов между электроном в вакууме и электроном на дне зоны проводимости.
3. **Потенциальный барьер** между металлом и изолятором ϕ_m — это разница между работой выхода из металла и сродством электрона в полупроводнике.

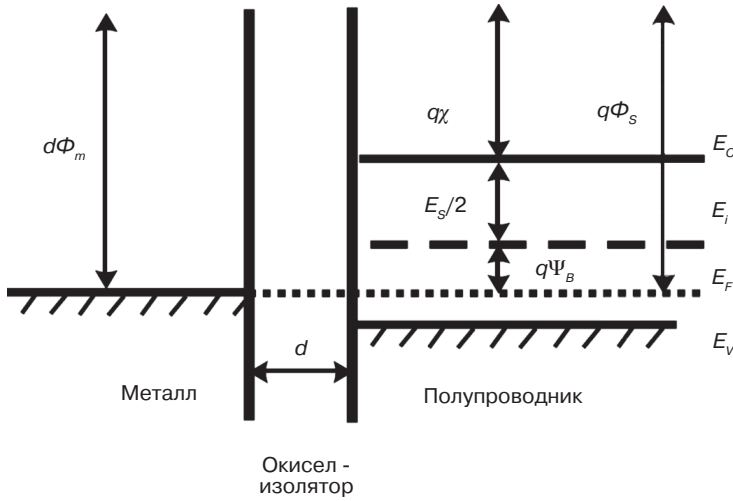


Рис. 1.2. Энергетические зоны в идеальном МОП-диоде

Поскольку в идеальном МОП-транзисторе изолятор имеет бесконечное сопротивление и не имеет ни подвижных носителей заряда, ни центров заряда, то уровень Ферми в металле сравнивается с уровнем Ферми в полупроводнике.

Вследствие допущения однородности легирования уровень Ферми в металле одинаков. Это называется состоянием «плоской зоны», так как на рис. 1.2 энергетической зоны уровни энергии E_C , E_V и E_i представлены в виде прямых линий.

Когда напряжение V отрицательное, дырки в полупроводнике р-типа притягиваются и накапливаются у поверхности полупроводникового контакта с изолирующим слоем. Поэтому этот процесс называют накоплением. В отсутствии тока носители в полупроводнике находятся в состоянии равновесия и уровень Ферми представляется в виде прямой линии. Классическая статистика Максвелла – Больцмана связывает равновесную концентрацию дырок с собственным уровнем Ферми следующим простым выражением:

$$p_0 = n_i e^{(E_i - E_F)/kT}. \tag{1.2}$$

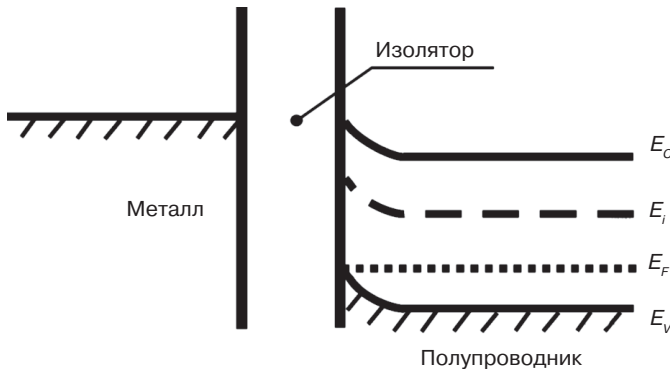


Рис. 1.3. Изменение энергетических зон при приложении отрицательного смещения

Как показано на рис. 1.3, внутренний уровень Ферми имеет более высокое значение на поверхности, чем в любой точке на глубине подложки, а энергетические уровни E_c , E_v и E_i изгибаются вверх вблизи поверхности раздела «изолятор-полупроводник». Уровень Ферми E_f в полупроводнике теперь на $-qV$ ниже уровня Ферми в металлическом затворе. Когда подаваемое напряжение V положительно, но мало, тогда дырки в полупроводнике р-типа уходят от поверхности и оставляют после себя отрицательно заряженные ионы акцептора. Образуется область обеднения, простирающаяся от поверхности в глубину полупроводника. Это и есть классическое состояние обеднения.

Кроме «отталкивания» дырок положительное напряжение притягивает к поверхности полупроводника и электроны. Поверхность инвертируется из исходного типа р-типа в n-тип. Если V невелико — концентрация дырок по-прежнему выше концентрации электронов. Это состояние «слабого обеднения», и именно оно очень важно для изучения процесса рассеяния мощности в микросхемах на полевых транзисторах, границы энергетических зон в этом состоянии изгибаются вниз вблизи границы раздела поверхности «окисел-изолятор» (рис. 1.4).

Если приложенное напряжение значительно увеличивается, зоны также изгибаются значительно, чтобы уровень на поверхности E_i пересекся с другой стороной уровня E_f . Это обуславливается тенденцией носителей к занятию состояний с наименьшей суммарной энергией. Кинетическая энергия электронов нулевая, когда они занимают состояния на дне зоны проводимости. В данном состоянии инверсии уровень E_i изгибается, становясь ближе к уровню E_c , и электроны численно превосходят количество дырок у поверхности. Плотность электронов у поверхности по-прежнему ниже, чем плотность дырок внутри полупроводника.

Когда V возрастает до такой степени, что плотность электронов на поверхности n_s становится больше, чем плотность дырок (N_A — концентрация примеси акцептора) в объеме, как говорят физики, должно иметь место начало сильной инверсии. Это состояние отображается на рис. 1.5. Как мы увидим ниже, E_i на поверхности теперь ниже E_f на величину энергии, равной $2\phi_a$, где ϕ_a — разность потенциалов между уровнем Ферми E_f и внутренним уровнем Ферми E_i в объеме. Величина V , необходимая для достижения сильной инверсии, называется пороговым напряжением.

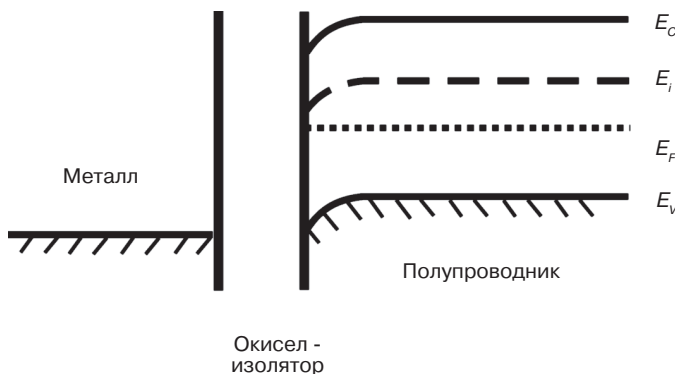


Рис. 1.4. Картина энергетических зон при приложении слабого положительного смещения

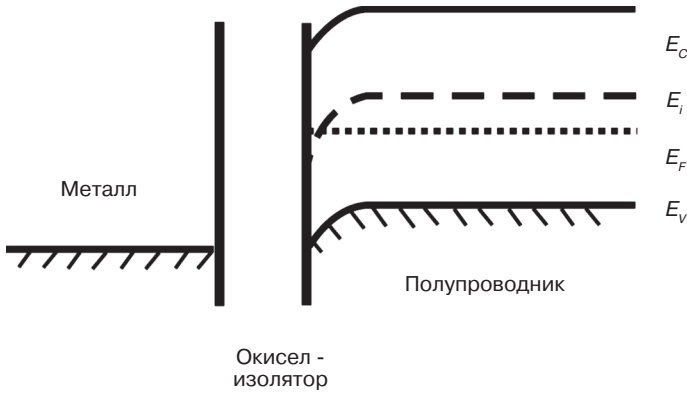


Рис. 1.5. Энергетические зоны при приложении порогового напряжения

Рассмотрим более подробно математическую модель полевого диода (МОП-диод). Эта модель известна как модель с поверхностным зарядом [1, 2]. В отличие от более простой модели [3] на основе приближения обеднения, которая сохраняет точность только при эффектах сильной инверсии, модель с поверхностным зарядом остается действующей также в областях со слабой инверсией. Последние области важны, когда рассматривается рассеиваемая мощность субмикронного полевого КМОП-транзистора.

В основу модели обычного полевого диода положено классическое уравнение Пуассона:

$$\nabla \times D = \rho(x, y, z), \tag{1.3}$$

где D – вектор электрического смещения, равный $\epsilon_s E$ при статических условиях или низкой частоте; ϵ_s – электрическая проницаемость кремния; E – вектор электрического поля; $\rho(x, y, z)$ – суммарная плотность электрического заряда.

В МОП-диодах электрическое поле, вызванное приложенным напряжением, направлено перпендикулярно изолятору из SiO_2 . Обычно искажениями поля на краях области пренебрегают, поэтому изменение электростатического потенциала ϕ может учитываться только вдоль оси x , как показано на рис. 1.6. В этом случае можем записать следующее выражение:

$$E_y = \frac{\partial \phi}{\partial y} = E_z = \frac{\partial \phi}{\partial z} = 0.$$

Поскольку в нашем случае всегда выполняется соотношение:

$$\rho(x) = q \times [p(x) - n(x) + N_D(x) - N_A(x)],$$

то уравнение Пуассона (1.3) преобразуется в вид, характерный для его применения в области микроэлектроники:

$$\frac{d^2 \phi}{dx^2} = \frac{q}{\epsilon_s} (p_p - n_p + N_D - N_A), \tag{1.4}$$

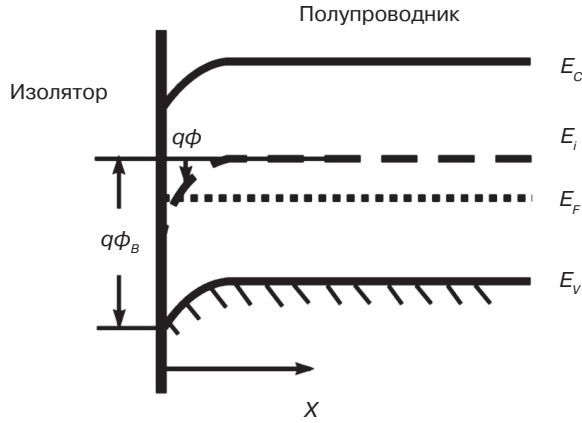


Рис. 1.6. Энергетические зоны на поверхности системы изолятор-полупроводник

где N_D — это концентрация примеси донора; N_A — концентрация примеси акцептора; n_p — плотность подвижных электронов; p_p — плотность подвижных дырок.

Индекс p служит для акцентирования того факта, что рассматривается именно полупроводник p -типа. Две плотности носителей в точке x связываются с плотностью собственных носителей n_i , потенциалом Ферми Φ_F и электростатическим потенциалом $\phi(x)$ согласно статистике Больцмана известными уравнениями:

$$p_p(x) = n_i e^{q(\phi_F(x) - \phi_p)/kT}, \quad (1.5)$$

$$n_p(x) = n_i e^{q(\phi(x) - \phi_p)/kT}. \quad (1.6)$$

Если потенциал Ферми ϕ_F соответствует уровню энергии Ферми $E_F (= -q\phi_p)$, то электростатический потенциал — это относительная физическая величина, обычно это потенциал, который соответствует внутренним уровням энергии Ферми в объеме $E_i(x = \infty)$, т.е. его абсолютное значение можно записать в виде: $\phi(x) = \phi(x) + \phi(\infty)$. Обозначим равновесные концентрации дырок и электронов в объеме как

$$p_{p0} = p_p(\infty) = n_i \exp q [\phi_F - \phi(\infty)]/kT$$

и n_{p0} соответственно. Упрощая правые стороны (1.5) и (1.6), заменяя в (1.4), умножая обе стороны результирующего выражения на величину $2d\phi/dx$ и интегрируя это выражение от точки в глубине объема до некоторой произвольной точки x [4], мы получаем следующее выражение:

$$\int_{-\infty}^x 2 \frac{d\phi}{dx} \frac{d^2\phi}{dx^2} dx = \int_0^{\phi} 2 \frac{q}{\epsilon_S} (p_{p0} e^{q\phi(x)/kT} - n_{p0} e^{q\phi(x)/kT} + N_D - N_A) d\phi. \quad (1.7)$$

При повышенной температуре, как известно, в полупроводниковой структуре большинство доноров и акцепторов ионизированы. Так что обоснованно можем полагать: $p_{p0} \approx N_A$ и $n_{p0} \approx N_D = n_i^2/N_A$. Допуская применимость классической статистики Больцмана, выражение для n_{p0} запишем в следующем виде:

$$n_{p^0} = n_i e^{-\beta\phi_B} = p_{p^0} e^{-2\beta\phi_B},$$

где $\beta = kT/q$.

Подставляя полученные выражения в (1.7):

$$\frac{d\phi}{dx} = -E(x) = -\sqrt{\frac{2qN_A}{\epsilon_S}} \sqrt{\frac{e^{-\beta\phi}}{\beta} + \phi - \frac{1}{\beta} + e^{-2\beta\phi_B} \left(\frac{e^{\beta\phi}}{\beta} - \phi - \frac{1}{\beta} \right)}. \quad (1.8)$$

Значение потенциала электрического поля на поверхности E_S может вычисляться путем замены значения ϕ на значение потенциала на поверхности ϕ_S . Для определения величин суммарных зарядов в полупроводнике Q_S используем закон Гаусса и получим:

$$Q_S = \epsilon_S E_S = -\sqrt{\frac{2q\epsilon_S N_A}{\beta}} \sqrt{e^{-\beta\phi_S} + \beta\phi_S - 1 + e^{-2\beta\phi_B} (e^{\beta\phi_S} - \beta\phi_S - 1)}. \quad (1.9)$$

Так как в нашем случае $\phi(x = \infty) = 0$, то часть приложенного напряжения V появляется на изоляторе, а оставшееся напряжение появляется на полупроводнике, что можно описать выражением:

$$V = \phi_i + \phi_S = \frac{Q_S}{C_i} + \phi_S = \frac{Q_S d}{\epsilon_i} + \phi_S, \quad (1.9a)$$

где C_i — емкость изолятора; ϵ_i — диэлектрическая проницаемость этого изолятора; d — толщина изолятора.

В состоянии сильного смещения величина $\phi_S = 2\phi_B$ и поэтому будет справедливо следующее выражение:

$$V_T = \frac{Q_S \times d}{\epsilon_i} + 2\phi_B. \quad (1.10)$$

Или, подставляя в это выражение полученные значения из (1.9) и (1.9a), можем записать следующее выражение:

$$V_T = \frac{2d}{\epsilon_i} \sqrt{q\epsilon_S N_A \phi_B (1 - e^{-2\beta\phi_B})} + 2\phi_B. \quad (1.11)$$

Конечно, сделанные допущения для вывода выражения для порогового напряжения во многом являются идеализированными. В частности, разница работы выхода ϕ_{mS} в реальных микросхемах никогда не равна нулю и заряды могут присутствовать и в изоляторе, и на границе «изолятор-полупроводник». Последний случай обычно включает подвижные заряды ионов, фиксированные заряды окислов, заряды ловушек на границе раздела и заряды ловушек окислов.

Пусть Q_T будет эффективный «чистый» заряд на единицу площади. Тогда суммарное напряжение, необходимое для устранения эффекта разницы ненулевой работы выхода и присутствия зарядов, называется напряжением плоской зоны (V_{FB}) и его величина может быть определена из следующего выражения:

$$V_{FB} = \varphi_{mS} - \frac{Q_T d}{\epsilon_i}. \quad (1.12)$$

Выражение для определения величины напряжения V_T , которое должно прилагаться для достижения эффекта сильной инверсии, должно включать также напряжение плоской зоны (V_{FB}). Поэтому итоговое выражение для оценки величины V_T можно записать в следующем виде:

$$V_T = V_{FB} + \frac{2d}{\epsilon_i} \sqrt{q\epsilon_S N_A \phi_B (1 - e^{-2\beta\phi_B})} + 2\phi_B. \quad (1.13)$$

1.1.2. Глубина области обеднения

Обычно МОП- структура находится в состоянии обеднения, когда прикладывается слабое положительное напряжение смещения V между металлической пластиной и объемом полупроводника. Состояние инверсии существует, когда величина напряжения V достаточно велика, чтобы притягивать достаточное количество неосновных носителей (электронов) на поверхность, так что их плотность начинает превышать плотность свободных дырок в объеме. При анализе обычно допускается, что область полупроводника однородно легирована, а также используются еще два дополнительных упрощающих допущения. Допущение об обеднении позволяет относиться к области обеднения, как полностью лишенной подвижных зарядов. Допускается, что в состоянии инверсии притянутые неосновные носители находятся в очень тонком слое инверсии вблизи поверхности полупроводника. Допущение об одностороннем резком переходе позволяет считать, что концентрация носителей резко меняется до своей собственной величины на расстоянии W под поверхностью, где W – это глубина области обеднения. Экспоненциальная зависимость (как это мы увидим далее) между суммарным зарядом в полупроводнике Q_S и d требует незначительного увеличения d с целью уравнивания увеличенного заряда на металле, когда V увеличивается за пределы состояния сильной инверсии. Поэтому допускается, что d достигает своего максимального значения W_m и далее не увеличивается. Аналогично, потенциал на поверхности ϕ_S не увеличивается выше $2\phi_B$ [5].

С учетом этих допущений мы начинаем снова с классического *уравнения Пуассона*:

$$\frac{d^2\phi}{dx^2} = \frac{q}{\epsilon_S} (p_p - n_p + N_D - N_A).$$

Вышеприведенные допущения и тот факт, что в полупроводнике р-типа концентрация $N_D = 0$, позволяют упростить это выражение следующим образом:

$$\frac{d^2\phi}{dx^2} = \begin{cases} \frac{qN_A}{\epsilon_S} & 0 \leq x < d \\ 0 & x \geq d \end{cases}. \quad (1.14)$$

Дважды интегрируя это выражение и применяя следующие граничные условия: $\phi(x=0) = \phi_s$ и $\phi(x=W) = 0$ – получаем:

$$\phi(x) = \phi_s \left(1 - \frac{x}{W}\right)^2. \quad (1.15)$$

Таким образом, можем записать уравнение:

$$2\phi_s \frac{1}{W^2} = \frac{qN_A}{\epsilon_s}.$$

Разрешая это уравнение относительно параметра W , получим:

$$W = \sqrt{\frac{2\phi_s \epsilon_s}{qN_A}}. \quad (1.16)$$

Принимая во внимание, что когда $W = W_m$, то $\phi_s = 2\phi_B$. Поэтому выражение (1.16) примет следующий вид:

$$W_m = \sqrt{\frac{4\phi_B \epsilon_s}{qN_A}}. \quad (1.17)$$

Это выражение уже можно использовать в практических расчетах численных значений глубины области обеднения при выборе конкретных параметров конструкций проектируемых микросхем.

1.1.3. Определение величины заряда в слое инверсии

В предыдущем разделе было показано, что Q_S , суммарный заряд в полупроводнике зависит от параметров МОП-структуры в соответствии со следующим выражением:

$$Q_S = \epsilon_s E_s = -\sqrt{\frac{2q\epsilon_s N_A}{\beta}} \sqrt{e^{-\beta\phi_s} + \beta\phi_s - 1 + e^{-2\beta\phi_B} (e^{\beta\phi_s} - \beta\phi_s - 1)}. \quad (1.18)$$

В этом разделе попробуем определить простейшие **выражения для оценки величины заряда в области обеднения, вызванного ионизованными атомами, остающимися после ухода дырок за счет положительного потенциала металла, а также заряда в слое инверсии** [5]. Инверсия поверхности полупроводника не начинается до тех пор, пока значение ϕ_s не станет больше или равно ϕ_B . Для диапазона концентраций легирующей примеси, обычно используемого в МОП-транзисторах, и для рассматриваемых диапазонов температур, $9 \leq \beta\phi_B \leq 16$. Другие слагаемые в выражении (1.18) незначительны в сравнении со вторым и четвертым слагаемыми и могут быть отброшены. Таким образом, выражение для Q_S может быть записано в следующем виде:

$$Q_S = \sqrt{\frac{2q\epsilon_s N_A}{\beta}} \sqrt{\beta\phi_s + e^{\beta(\phi_s - 2\phi_B)}}. \quad (1.19)$$

Как следует из (1.19), заряд на единицу площади в полупроводнике Q_s равен сумме величины заряда на единицу площади в инверсном слое Q_i и величины заряда на единицу площади в области обеднения Q_d . Заряд в области обеднения вызван атомами акцептора, использующими дополнительный электрон для заполнения ковалентных связей. Поэтому можем записать:

$$Q_d = qN_A W = \sqrt{2q\epsilon_S N_A \phi_S}. \tag{1.20}$$

Из 1.19 и 1.20 получаем следующее выражение:

$$Q_i = Q_s - Q_d = \sqrt{2q\epsilon_S N_A} \left(\sqrt{\frac{\beta\phi_S + e^{\beta(\phi_S - 2\phi_B)}}{\beta}} - \sqrt{\phi_S} \right). \tag{1.21}$$

Мы отмечали выше, что в требуемом диапазоне значений температур $\exp(-\beta\phi_S) \ll 1 < \beta\phi_S$. Тогда, при слабой инверсии, когда $\phi_S < 2\phi_B$, $\beta\phi_S > \exp(\beta(\phi_S - 2\phi_B))$ и используя первые два члена в разложении в ряд Тейлора в окрестности $\exp(\beta(\phi_S - 2\phi_B)) = 0$, получим следующее уравнение:

$$\sqrt{\beta\phi_S + e^{\beta(\phi_S - 2\phi_B)}} = \sqrt{\beta\phi_S} + \frac{1}{2\sqrt{\beta\phi_S}} e^{\beta(\phi_S - 2\phi_B)}. \tag{1.22}$$

Откуда, подставляя в (1.13), получаем:

$$Q_i = \frac{\sqrt{2q\epsilon_S N_A}}{2\beta\sqrt{\phi_S}} e^{\beta(\phi_S - 2\phi_B)}. \tag{1.23}$$

1.1.4. Оценка толщины инверсионного слоя

Рассмотрим выражения для оценки толщины инверсионного слоя, при условии (допущении), что *плотность заряда в слое инверсии значительно выше, чем плотность заряда ионов в объеме и что слой инверсии очень тонкий*. Таким образом, $\partial E_x / \partial x$ в слое инверсии значительно больше, чем в объеме. Здесь $\partial E_x / \partial x$ может аппроксимироваться путем рассмотрения значения электрического поля на нижнем крае слоя инверсии, как близкого к нулю (рис. 1.7).

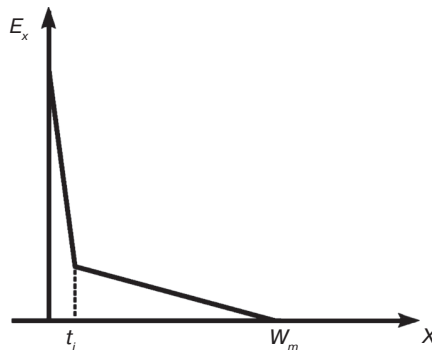


Рис. 1.7. Изменение вертикального электрического поля E_x

Концентрация электронов в некоторой точке в полупроводнике экспоненциально зависит от потенциала, с константой экспоненты, равной $\beta = kT/q$. Это предполагает, что основная часть заряда содержится в пределах расстояния от поверхности, на котором ϕ падает на kT/q .

Для иллюстрации в точке, где потенциал падает на kT/q ниже ϕ_s , плотность электронов будет спадать до $1/e = 0,37$ от его значения при $x = 0$. Затем мы можем аппроксимировать t_i этим расстоянием. Более того, если электрическое поле в слое инверсии аппроксимируется отношением разности потенциалов на этом слое ($\approx \beta$) и его толщиной t_i ,

$$E_s \approx \frac{\beta}{t_i} \quad (1.24)$$

или

$$t_i \approx \frac{\beta}{E_s}. \quad (1.25)$$

Так как при слабой инверсии $\phi_s < 2\phi_B$, то выражение (1.19) для Q_s можно дальше упростить, считая $\exp(\beta(\phi_s - 2\phi_B))$ пренебрежимо малым в сравнении с $2\phi_s$, то

$$t_i \approx \frac{\beta}{E_s} \approx \frac{\beta \epsilon_s}{Q_s} \approx \frac{\beta \sqrt{\epsilon_s}}{\sqrt{2qN_A \phi_s}}. \quad (1.26)$$

1.2. Анализ работы МОП-транзистора с длинным каналом

1.2.1. Анализ влияния подложки на работу МОП-транзистора

При анализе работы МОП-транзистора с субмикронными размерами в предыдущем разделе предполагалось, что подложка или объемный электрод находятся под нулевым потенциалом и напряжения на электродах измеряются относительно этого нулевого потенциала. Когда МОП-транзисторы работают в *реальных* микросхемах, напряжения на выводах выражаются относительно вывода истока и объемный электрод может находиться под «*ненулевым*» потенциалом относительно истока. Так как $V_{GS} = V_{GB} - V_{BS}$, когда объем находится под нулевым потенциалом, равно ϕ_s , величина V_{GS} становится равной $\phi_s + V_{BS}$ относительно вывода истока. Если анализ в предыдущем разделе проводился при потенциалах, измеренных относительно вывода истока, то в нашем случае (длинного канала) правая сторона уравнения (1.13) будет иметь вид [5]:

$$V_{FB} + \frac{d}{\epsilon_i} \sqrt{2q\epsilon_s N_A (2\phi_B + V_{BS}) (1 - e^{-2\beta\phi_B - V_{BS}})} + 2\phi_B + V_{BS}. \quad (1.27)$$

В частности, относительно вывода истока, выражение для V_T можно записать в следующем виде:

$$V_T = V_{FB} + \frac{d}{\epsilon_i} \sqrt{2q\epsilon_s N_A (2\phi_B + V_{BS})(1 - e^{-2\beta\phi_B - V_{BS}})} + 2\phi_B. \quad (1.28)$$

Величина значения V_T , полученного из вышеупомянутого уравнения, будет больше, чем значение, полученное из уравнения (1.13). Это увеличение V_T при ненулевом напряжении смещения объема V_T называется смещением подложки.

1.2.2. Выражения для оценки значения допорогового тока

В n-канальных МОП-транзисторах, когда напряжение между затвором и истоком V_{GS} меньше, чем величина напряжения порога V_T , имеет место состояние, называемое «слабым обеднением», аналогичное обсуждаемому выше для диодной МОП-структуры. При этом концентрация неосновных носителей в канале невелика, но не равна нулю. На рис. 1.8 показан характер изменения концентрации неосновных носителей по длине канала.

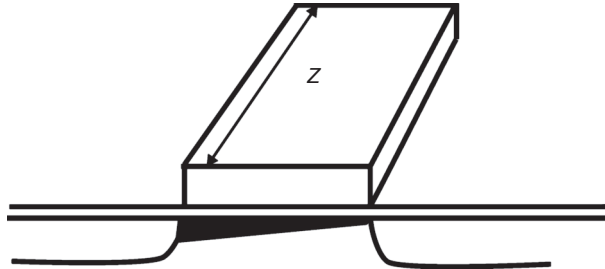


Рис. 1.8. Характер изменения концентрации носителей в канале МОП-транзистора при смещении в режиме слабой инверсии

Предположим, что исток n-канального полевого МОП-транзистора заземлен, $V_{GS} < V_T$ и напряжение сток-исток $|V_{DS}| \geq 0,1$ В. При этом состоянии слабой инверсии значение V_{DS} падает почти полностью на обратно смещенном p-n переходе (подложка-сток). В результате изменение электрического потенциала ϕ_s вдоль канала (по оси y) на поверхности полупроводника невелико. Составляющая E_y вектора электрического поля E , равное $\partial\phi/\partial y$, также невелика. При малом числе подвижных носителей и слабом продольном электрическом поле дрейфовая составляющая подпорогового тока стока-истока $I_{D,sl}$ пренебрежимо мала. Кроме этого, длинный канал также позволяет считать, что градиент электрического поля вдоль канала невелик.

Зависимость концентрации неосновных носителей n_p от величины поверхностного потенциала в глубине объема имеет следующий вид:

$$n_p = \frac{n_i^2}{N_A} e^{\beta\phi_s}. \quad (1.29)$$

Из-за экспоненциальной зависимости концентрации неосновных носителей n_p от поверхностного потенциала ϕ_s значение дифференциала $\partial n_p(y)/\partial y$ может быть относительно большим. Так как диффузионный ток пропорционален градиенту

концентрации носителей, то диффузия носителей создает значительный ток $I_{D,st}$. Диффузионный ток характеризуется следующим выражением:

$$I_{diffusion} = AJ_{diffusion} = AqD_n \frac{\partial n(y)}{\partial y} = Zt_i q D_n \frac{\partial n(y)}{\partial y} = ZD_n \frac{\partial Q_i(y)}{\partial y}, \quad (1.30)$$

где A — площадь поперечного сечения канала; D_n — коэффициент диффузии электронов; Z — ширина канала, t_i — глубина слоя инверсии; Q_i — заряд на единицу площади в инверсионном слое, равный $t_i q n(y)$.

Равновесная концентрация электронов характеризуется выражением:

$$n_p = (n_i^2 / N_A) \exp(q\beta\phi_s).$$

Выражение для оценки величины заряда в слое инверсии при состоянии слабой инверсии можно записать следующим образом:

$$Q_i = qt_i n(y) \approx q \frac{\beta\sqrt{\epsilon_s}}{\sqrt{2qN_A\phi_s}} \frac{n_i^2}{N_A} e^{q\beta\phi_s}. \quad (1.31)$$

Если n_i^2 в правой части вышеприведенного уравнения заменить на его приближительное значение, выраженное как $N_A^2 \exp(-2q\beta\phi_B)$, то мы увидим, что вышеприведенное выражение — это то же самое, что выведено ранее для величины заряда Q_i :

$$Q_i = \frac{\sqrt{2q\epsilon_s N_A}}{2\beta\sqrt{\phi_s}} e^{\beta(\phi_s - 2\phi_B)}. \quad (1.31a)$$

Чем полевой МОП-транзистор отличается от МОП-диода — это наличием градиента потенциала вдоль оси y . При заземленном истоке (например, $V_{SB} = 0$) плотность электронов на конце истока канала задается вышеприведенным выражением при $\phi_s(y)$, замененным на $\phi_s(y = 0)$. На конце стока канала должен учитываться уровень напряжения V_{DS} . Тогда выражения для оценки численного значения величины заряда можем записать в следующем виде [5]:

$$\left\{ \begin{array}{l} Q_i(y=0) = q \frac{\beta\sqrt{\epsilon_s}}{\sqrt{2qN_A\phi_s(y=0)}} \frac{n_i^2}{N_A} e^{q\beta\phi_s(y=0)} \\ Q_i(y=L) = q \frac{\beta\sqrt{\epsilon_s}}{\sqrt{2qN_A\phi_s(y=0)}} \frac{n_i^2}{N_A} e^{q[\beta\phi_s(y=0) - V_{DS}]} \end{array} \right. \quad (1.31b)$$

При температурах, выше, чем комнатная температура, значение члена $\exp(-V_{DS}/\beta)$ будет меньше, чем $\exp(-4)$. Пренебрегая этим членом, можно представить характер изменения (градиент) концентрации электронов вдоль канала следующим образом:

$$\frac{\partial Q_i(y)}{\partial y} \approx \frac{Q_i(y=L) - Q_i(y=0)}{L} = \frac{Q_i(y=0)}{L}. \quad (1.31b)$$

Таким образом, получаем требуемое итоговое выражение для расчета численного значения величины допорогового тока в следующем виде:

$$I_{D,st} = D_n Z \frac{\partial Q_i(y)}{\partial y} = \frac{q D_n Z}{L} \frac{\beta \sqrt{\varepsilon_s}}{\sqrt{2q N_A \phi_s(y=0)}} \frac{n_i^2}{N_A} e^{q\phi_s(y=0)}. \quad (1.31д)$$

Из этого выражения видно, что в МОП-транзисторах с длинным каналом допороговый ток стока-истока остается независимым от величины напряжения исток-сток. Так как $\phi_s(y=0)$ меняется экспоненциально при приложении напряжения к затвору [3], то же происходит с током сток-исток. Независимость $I_{D,st}$ от V_{DS} прекращается в МОП-транзисторах при L равной 2 мкм при V_{DS} достаточно большом, чтобы области обеднения истока и стока слились. Этот известный эффект короткого канала называется *сквозным пробоем*. Режим сквозного пробоя при конструировании микросхем должен предотвращаться, так как он вызывает независимость $I_{D,st}$ от F . Это обычно значит, что ток сквозного пробоя должен поддерживаться ниже, чем значение $I_{D,st}$ для длинного канала. Ниже будут рассмотрены методы использования имплантирующей примеси для управления током сквозного пробоя.

Для конструирования надежных МОП-микросхем необходимо знать и использовать еще одну важную «допороговую» характеристику.

Характеристика крутизны наклона зависимости $\log(I_{D,st})$ от V_{GS} называется *допороговым размахом (subthreshold swing)*. Для однородно легированного МОП полевого транзистора эта характеристика определяется следующим выражением:

$$S_{St} = \log \left(\frac{d \ln I_D}{dV_{GS}} \right)^{-1} = 2,3\beta \left(1 + \frac{C_d}{C_{ax}} \right) = 2,3\beta \left(1 + \frac{\varepsilon_s d}{\varepsilon_i W} \right), \quad (1.32)$$

где C_d – емкость слоя обеднения затвора; C_i – емкость слоя изолятора; ε_s – диэлектрическая проницаемость изолятора; d – толщина изолятора; W – толщина обедненного слоя.

Член S_{St} показывает, как быстро ток стока прибора может прекращаться, когда величина V_{GS} снижается ниже V_T . Так как размеры микросхемы и величина напряжения питания постоянно снижаются для улучшения технико-экономических характеристик, снижения мощности и повышения надежности, эта характеристика становится серьезным ограничением минимально допустимого напряжения, которое можно использовать для питания микросхем.

Параметр S_{St} измеряется в милливольтгах на декаду. Для случая ограничения $d \rightarrow 0$ и при комнатной температуре величина $S_{St} \approx 60$ мВ/декаду. На практике величина S_{St} для типового субмикронного КМОП-транзистора составляет обычно 100 мВ/декаду. Это вызвано «ненулевой» толщиной окисла и другими отклонениями от идеальных условий. Значение параметра S_{St} в 100 мВ/декаду снижает величину $I_{D,st}$ со значения 1 мкА/мкм при $V_{GS} = V_T = 0,6$ В до 1 пА/мкм при $V_{GS} = 0$ В.

Можно отметить, что значение S_{St} можно сделать еще меньше путем использования более тонкого слоя окисла (изолятора) для снижения d или использования более низкой концентрации легирующей примеси (что приводит к более высокому W).

Изменение рабочих условий, а именно — снижение температуры или смещение напряжения подложки, также вызывает снижение значения крутизны S_{st} .

1.3. Анализ физических процессов, происходящих в субмикронном МОП-транзисторе

Как известно, с момента изобретения первых интегральных схем количество элементов на кристалле и их быстродействие продолжали расти по экспоненциальному закону. При этом численные значения параметров — L и Z — становились все меньше и меньше. Задача повышения быстродействия приборов также требовала уменьшения размеров параметров L и d для каждого поколения. Последнее связано с необходимостью увеличения величины $I_{D,st}$ (тока стока) в состоянии насыщения прибора, чтобы паразитные емкости могли заряжаться и разряжаться быстрее.

Когда были изготовлены первые ИС, включающие МОП-транзисторы с длиной затвора $L \leq 2$ мкм, наблюдались новые эффекты в работе приборов, которые нельзя было объяснить с использованием общепризнанных теорий приборов с длинными каналами. Более интересно для нас то, что пороговое напряжение V_T и подпороговый ток $I_{D,st}$, предсказанные при анализе в предыдущих разделах, не согласуются с наблюдаемыми значениями для случаев $L \leq 2$ мкм [5]. Здесь ожидалось, что V_T не зависит от L , Z и V_{DS} , но оно снижается при снижении L , меняется с Z и снижается при увеличении напряжения сток-исток V_{DS} . Также видно, что V_T растет менее быстро с V_{BS} , чем в случае более длинных каналов. В случае приборов с $L > 2$ мкм $I_{D,st}$ не зависит от V_{DS} и линейно растет при снижении L . Также, $I_{D,st}$ растет с ростом V_{DS} и растет более быстро, нежели линейно при снижении L для случаев $L \leq 2$ мкм.

Далее мы рассмотрим эффекты, которые обуславливают эти различия в работе полевых МОП-приборов при более малых (субмикронных) размерах. В большинстве случаев невозможно установить аналитическую связь между физическими характеристиками прибора и выходными электрическими параметрами этого прибора. Общепризнанные теории пытаются дать количественное объяснение или полагаются на числовой анализ в частных случаях.

1.3.1. Анализ физических эффектов, влияющих на пороговое напряжение МОП-транзистора

Величина V_T , которая уменьшается при снижении L , изменяется с изменением Z и снижается при увеличении напряжения сток-исток V_{DS} . В этом разделе детально рассмотрим влияние эффекта короткого канала, эффекта «узкого» затвора и так называемые обратные эффекты короткого канала и их влияние на величину напряжения порога МОП-транзистора.

Эффект короткого канала. Проблема снижения величины V_T при уменьшении значений L и увеличении V_{DS} заслуживает отдельного рассмотрения. Полевые транзисторы в КМОП-схемах обычно работают в «усовершенствованном» режиме — при $0,6 \text{ В} \leq V_T \leq 0,8 \text{ В}$, когда даже небольшое снижение V_T вызывает избыточные токи утечки. Кроме того, значения V_T в диапазоне от 0,6 до 0,8 В в МОП-приборах со слаболегированными подложками могут обеспечиваться только путем использования

легирующих примесей (ионная имплантация) с настройкой V_T для достижения требуемой концентрации легирования. Для компенсации эффектов короткого канала может потребоваться даже более высокая концентрация примеси для компенсации соответствующего снижения V_T , что, однако, может неблагоприятно влиять на подвижность носителей, допороговый ток и другие характеристики прибора.

Значения параметра V_T , полученные из анализа и расчета по выражениям, приведенным в предшествующем разделе, могут не согласовываться с экспериментальными данными при $L \leq 2$ мкм. Упрощающие допущения, сделанные в работе [5] для упрощения анализа, предполагали, что пространственный заряд под затвором не зависит от V_{DS} . Когда канал относительно длинный, области обеднения «сток-подложка» и «подложка-исток» составляют только малую часть общего расстояния между областями стока и истока. Когда L того же порядка, что и ширина области обеднения «сток-подложка» или «подложка-исток», наличие заряда ионов в этих обедненных областях уже может способствовать снижению величины заряда, который необходим для вхождения в область инверсии. В результате оказывается, что более малое значение V_{GS} может быть достаточным для включения транзистора. Область обеднения стока расширяется далее в подложку, делая напряжение включения еще меньше, когда увеличивается обратное смещение на переходе «сток-подложка».

Для исследования механизма влияния V_{DS} на величину пространственного заряда под затвором необходимо решить уравнение Пуассона в двухмерной форме. Точное решение двухмерного уравнения Пуассона исследователи обычно получали только в численном выражении. Для аналитического решения уравнения Пуассона предлагались различные упрощения. Одно из первых известных упрощений, *модель с разделением заряда* [5], рассматривала заряд в канале, как разделенный между истоком, стоком и затвором. С учетом допущения, что заряд, управляемый затвором, лежит в пределах трапецеидальной области, уравнение Пуассона упрощается до одномерной формы и успешно решается для получения численного значения величины смещения напряжения порога. Однако эта простая модель не дает хорошего количественного соответствия с экспериментально наблюдаемыми величинами.

Снижение барьера, вызванного влиянием процессов, связанных со стоком (DIBL), является основой для ряда наиболее сложных моделей описания сдвига напряжения порога. В их основе лежит механизм снижения напряжения порога из-за влияния зарядов, формируемых в области обеднения на потенциальном энергетическом барьере между истоком и каналом на поверхности полупроводника. В одной из таких моделей на основе метода DIBL [6], двумерное уравнение Пуассона сводится к одномерной форме путем аппроксимации члена $\partial^2\phi/\partial x^2$, как константы. Эта и другие модели на основе DIBL позволяют обеспечить хорошее согласование расчетных данных с измеренными данными для значений L до 0,8 мкм и значений напряжения V_{DS} до 3 В.

Последняя модель [7] достаточно точно предсказывает численные значения сдвига напряжения порога при коротком канале ΔV_{Tsc} даже для приборов с длиной канала меньше 0,5 мкм. В основу этой модели положен квази-двухмерный подход для разрешения двухмерного уравнения Пуассона. Комплексный вектор

электрического поля E содержит горизонтальную компоненту E_y и вертикальную компоненту E_x , причем член E_y характеризует поле в стоке, которое имеет только горизонтальную компоненту. Аналогично, компонента E_x является единственной компонентой поля, обусловленной зарядом на затворе. Здесь E_y меняется по y , но не по x ; E_x допускает свое максимальное значение на конце канала в области истока и затем уменьшается по y до минимального значения на конце стока. Аналогично, $E_x(x,y)$ характеризует значение на поверхности изолятора, задаваемое величиной $E_x(0,y)$ и изменяется до нуля на нижнем крае области обеднения, т.е. $E_x(W,y) = 0$. Допускается, что $\partial E_x / \partial x$ в каждой точке (x,y) может заменяться на среднее значение от его величины в $(0,y)$ и в (W,y) , задаваемое следующим выражением:

$$\frac{\partial E_x}{\partial x} \approx \frac{E_x(0,y) - E_x(W,y)}{W} = \frac{E_x(0,y)}{W}. \quad (1.33)$$

Из условия неразрывности вектора электрического смещения можно сформулировать два следующих выражения:

$$E_x(0,y) = \frac{\varepsilon_{ox}}{\varepsilon_s} E_{ox}(y), \quad (1.34)$$

$$E_{ox}(y) = \frac{V_T - V_{FB} - \phi_s(y)}{d}. \quad (1.35)$$

Принимая при аппроксимации, что заряд в области обеднения – это заряд ионов, то есть $\rho(x,y) = qN_A$ и заменяя соответствующие члены уравнения Пуассона, можно записать его в следующем виде:

$$\frac{\partial E}{\partial x} + \frac{\partial E}{\partial y} = -\frac{\rho(x,y)}{\varepsilon_s}. \quad (1.36)$$

Отсюда мы получаем простое выражение:

$$\varepsilon_i \frac{V_T - V_{FB} - \phi_s(y)}{d} + \frac{\varepsilon_s W_m}{\eta} \frac{\partial E_y(y)}{\partial y} = qN_A W_m, \quad (1.37)$$

где η – эмпирически получаемый коэффициент.

При возникновении эффекта сильной инверсии $W = W_m$, выражение преобразуется в следующий вид:

$$\frac{\varepsilon_s W_m}{\eta} \frac{\partial^2 \phi_s(y)}{\partial y^2} + \varepsilon_i \frac{V_T - V_{FB} - \phi_s(y)}{d} = qN_A W_m. \quad (1.38)$$

При граничных условиях $\phi_s(0) = V_{bi}$ и $\phi_s(L) = V_{bi} + V_{DS}$, получаем следующее решение $\phi_s(y)$ для вышеприведенного уравнения:

$$\phi_s(y) = V_{SL} + (V_{bi} + V_{DS} - V_{SL}) \frac{\sin h(y/l)}{\sin h(L/l)} + (V_{bi} - V_{SL}) \frac{\sin h([L-y]/l)}{\sin h(L/l)}. \quad (1.39)$$

где V_{SL} , V_{GS} , V_{DS} , V_{bi} – величины встроенного потенциала р-п переходов сток-подложка и подложка-исток; l – характеристическая длина, определяемая как

$$l = \sqrt{\frac{\epsilon_s W_m d}{\epsilon_i \eta}}. \quad (1.40)$$

Значение параметра ΔV_{Tsc} теперь находится путем вычитания значения ϕ_s для модели длинного канала из минимального значения $\phi_s(y)$, заданного уравнением (1.39). Минимальное значение $\phi_s(y)$ находится путем вычисления правой части уравнения 1.39 для нескольких значений y , ($0 < y < L$), построения и подгонки кривой для них.

На рис. 1.9 показано изменение поверхностного потенциала вдоль канала для длин каналов 0,35 и 0,8 мкм. Для каждой длины канала построена кривая поверхностного потенциала для $V_{DS} = 0,05$ В и $V_{DS} = 1,5$ В.

Из рис. 1.9 видно, что поверхностный потенциал МОП-транзистора при $L = 0,8$ мкм остается постоянным на значительной части канала. Эта характеристика становится более ярко выраженной в случаях более длинных каналов МОП-транзисторов. Однако поверхностный потенциал МОП-транзистора с длиной $L = 0,35$ мкм, не содержит область, в которой его значение не меняется. Минимальное значение поверхностного потенциала для этого прибора при $L = 0,35$ мкм оказывается выше, чем для прибора с $L = 0,8$ мкм. Фактически минимальное значение поверхностного потенциала возрастает при снижении длины канала и увеличении V_{DS} .

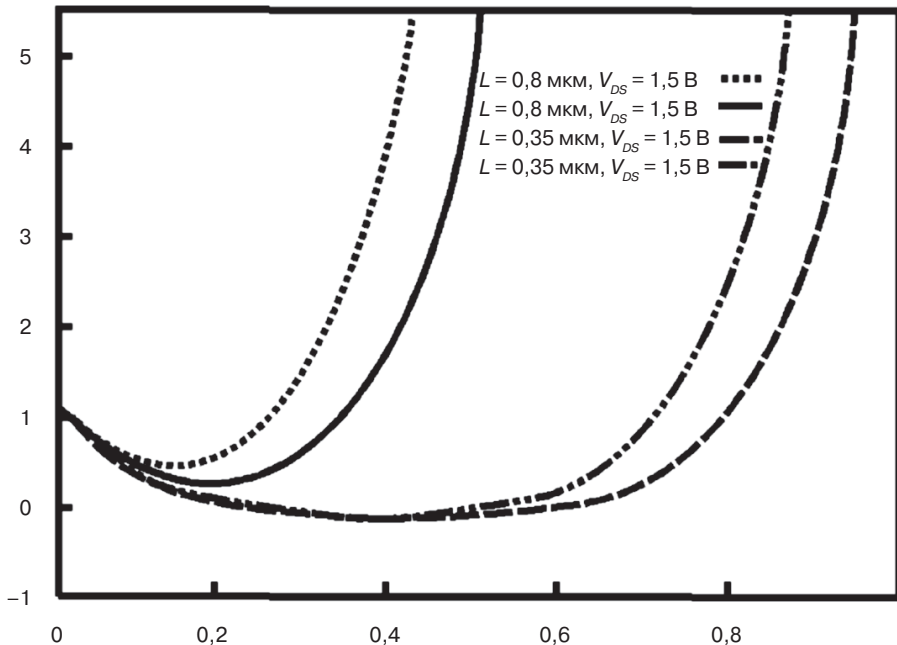


Рис. 1.9. Изменение поверхностного потенциала вдоль канала МОП-транзистора для двух значений длин ($L = 0,8$ мкм, $L = 0,35$ мкм)

Если выражение для минимального значения $\phi_s(y)$ вычитается из правой части уравнения 1.39, то получается искомое выражение для ΔV_{Tsc} . Общая форма этого выражения достаточно сложная. Для случая $L > 5l$ выражение для ΔV_{Tsc} может быть упрощено и будет иметь следующий вид:

$$\Delta V_{Tsc} \approx [3(V_{bi} - 2\phi_B) + V_{DS}]e^{-L/l} + 2\sqrt{(V_{bi} - 2\phi_B)(V_{bi} - 2\phi_B + V_{DS})}e^{-L/2l}. \quad (1.41)$$

Уравнение 1.41 может быть далее упрощено для случая малых значений V_{DS} , при этом получим следующее выражение для оценки ΔV_T :

$$\Delta V_{Tsc} \approx [2(V_{bi} - 2\phi_B) + V_{DS}](e^{-L/2l} + 2e^{L/l}). \quad (1.42)$$

Значения V_T , рассчитанные из двух вышеприведенных уравнений, были сравнены с экспериментально измеренными значениями [7] и получили хорошее совпадение (5–7%).

Необходимость использования коэффициента η в выражении 1.37 для характеристической длины l усложняет использование этого выражения для определения точной величины l . Точное значение l необходимо получать из измерений V_T проводимых на изготовленных образцах в условиях конкретного технологического процесса.

Тем не менее при использовании эмпирического метода определения l , его обычно связывают с минимальной длиной канала L_{min} , которую должен иметь полевой МОП-транзистор. Из литературы известно эмпирическое выражение для L_{min} [8]:

$$L_{min} = 0,41(W_j d W_m^2)^{1/3}. \quad (1.43)$$

На практике допускается, что L_{min} равно $4l$, тогда справедливо соотношение:

$$l = 0,1(W_j d W_m^2)^{1/3}. \quad (1.44)$$

Можно доказать, что для n-канального полевого МОП-транзистора с n+ поликремниевым затвором для поддержания V_T задаваемого выражением

$$V_T = V_{FB} + 2\phi_B + \frac{d}{\varepsilon_i} \frac{4\varepsilon_s \phi_B}{W_m}, \quad (1.45)$$

при определенном значении V_T (например, 0,7 В) необходимо, чтобы выполнялось следующее условие:

$$W_m = \frac{d}{\varepsilon_i} \frac{4\varepsilon_s \phi_B}{V_T - V_{FB} - 2\phi_B} \approx \frac{2\varepsilon_s}{\varepsilon_i} d. \quad (1.46)$$

Тогда из 1.44 и 1.46 следует:

$$l = 0,0007W_j^{1/3}d. \quad (1.47)$$

Для случая n-канального МОП-транзистора с р+ поликремниевым затвором [где допускается $V_T = 1,2$ В, $W_m \approx 4(\epsilon_s/\epsilon_i)d$], получают следующее значение:

$$l = 0,0011W_j^{1/3}d \quad (1.48)$$

Зависимость от V_{BS}

Уравнение 1.15, описывающее характер изменения напряжения порога полевого МОП-транзистора с длинным каналом, может быть переписано следующим образом [5]:

$$V_T = V_{FB} + \gamma\sqrt{(2\phi_B + V_{BS})} + 2\phi_B, \quad (1.49)$$

где член $\exp(-2\beta\phi_S - V_{BS})$ был отброшен, как пренебрежимо малый, а

$$\gamma = (d/\epsilon_i)\sqrt{2q\epsilon_s N_A}.$$

Для более коротких длин каналов и более высоких напряжений смещений стока, величина V_T менее чувствительна к изменению V_{BS} . Здесь V_T становится полностью независимым от V_{BS} для всех значений V_{BS} , когда $L = 0,7$ мкм [9] и для больших значений V_{BS} во всех случаях.

Эффекты узкого затвора

Следует отметить, что обсуждаемые ниже три эффекта «узкого» затвора оказывают более слабое влияние на величину V_T , чем рассмотренные ранее эффекты короткого канала. Первые два эффекта вызывают увеличение V_T и имеют место в полевых МОП-транзисторах, изготовленных с помощью либо структуры с изоляцией окислом, либо структур с локальной изоляцией окислом в «канавках» (LOCOS). Третий эффект также вызывает снижение V_T и проявляется в МОП-транзисторах, изготовленных с помощью структур LOCOS (с изоляцией «канавками»).

Для понимания причины возникновения первого эффекта канал МОП-транзистора можно рассматривать, как прямоугольник в горизонтальном сечении, два параллельных края которого граничат со стоком и истоком и располагаются в областях обеднения. Другие два края не имеют под собой областей обеднения. Присутствие зарядов под первыми двумя краями вызывает снижение количества заряда, которое должно вноситься напряжением на затворе, так что отсутствие области обеднения под другими двумя краями предполагает, что требуется более высокое V_{GS} для инвертирования канала. Эффект состоит в увеличении V_T [10].

Второй эффект происходит из более высокого уровня легирования канала по краям рабочей области [11]. Более высокое легирование обусловлено суммарным влиянием примесей, используемых при формировании охранного кольца (бор в случае МОП-транзисторов n-типа и фосфор в случае МОП-транзисторов p-типа). Из-за более высокого легирования для полного инвертирования канала к затвору должно прилагаться более высокое напряжение.

В субмикронных МОП-транзисторах с изоляцией «канавками» или полностью заглубленной изоляцией, когда затвор смещается, линии электрического поля от

области затвора складываются таким образом, что формируется инверсионный слой на краях канала при более низком напряжении, чем требуется для центра, что и порождает третий эффект [12].

Обратный эффект короткого канала

Большинство экспериментальных измерений параметра V_T при уменьшенной длине канала не подтверждают постоянного снижения, ожидаемого из теорий, приведенных в предыдущих разделах. *Обратный эффект короткого канала* — это термин, присвоенный явлению, когда длина канала снижается менее $L \sim 3$ мкм. Первоначально V_T возрастает до $L \sim 0,7$ мкм [13], а когда L снижается ниже 0,7 мкм, V_T начинает снижаться с большей скоростью, нежели предсказывается теориями. Исследователи осмыслили это явление и предложили новые его объяснения [13], хотя исследования этого эффекта еще продолжаются.

1.3.2. Методы ограничения эффекта сквозного пробоя

Как следует из описания физических механизмов работы субмикронного МОП-транзистора, области обеднения на переходах сток-подложка и подложка-исток простираются на некоторое расстояние в область канала. Увеличение напряжения обратного смещения на переходах приводит к уходу границ обедненной области от перехода. В субмикронных МОП-транзисторах обычно используется ионное легирование с регулировкой уровня V_T для увеличения поверхностной концентрации примеси до уровня, более высокого, чем в объеме полупроводника.

Конечно, любое увеличение напряжения стока может приводить к развитию механизма сквозного пробоя, снижает потенциальный энергетический барьер для основных носителей в истоке. При этом большое число этих носителей приобретают достаточную энергию для пересечения барьера и входа в подложку. Некоторые из этих носителей собираются областью стока. Результирующий эффект состоит в увеличении допорогового тока $I_{D,st}$. Более того, если построить графическую зависимость $\log(I_{D,st})$ от V_{GS} , то наклон кривой (S_{st}) становится меньше (т.е. кривая становится более плоской), если имеет место подповерхностный сквозной пробой [5, 20].

В то время как значение параметра S_{st} является «индикатором» появления эффекта подповерхностного сквозного пробоя, наиболее часто используемый параметр прибора, применяемый для описания поведения МОП-транзистора при сквозном пробое, это напряжение сквозного пробоя — V_{PT} , определяемое, как значение V_{DS} , при котором ток $I_{D,st}$ достигает некоторой определенной величины при $V_{GS} = 0$. Параметр V_{PT} можно грубо аппроксимировать, как значение V_{DS} , для которого суммарное значение области обеднения истока и стока становится равным величине L [21]:

$$V_{PT} \propto N_B (L - W_j)^3, \quad (1.50)$$

где N_B — объемная концентрация примеси (подчеркнем отличие от параметра «поверхностная концентрация примеси N_A »).

Как уже упоминалось выше, для маломощных приборов необходимо учитывать возможность появления приповерхностных токов сквозного пробоя. Так как эти токи протекают, когда прибор выключен, даже «слабые» токи представляют опасность. Для исключения подповерхностного сквозного пробоя был разработан целый ряд методов борьбы с этими токами.

Основным методом является выбор соответствующего соотношения N_B и N_A для достижения обеспечения регулировки V_T и для увеличения уровня легирования в подложке, что приводит к снижению ширины областей обеднения. Наиболее известный метод, предложенный в работе [22], состоит в обеспечении соотношения $N_B > N_A/10$. Его преимущество заключается в использовании только одного имплантата, однако он не может удовлетворить вышеуказанным требованиям при геометрических размерах $L < 1$ мкм. Другие методы предполагают использование дополнительных имплантантов для формирования слоя с более высоким уровнем легирования на глубине, равной расположению дна области обеднения перехода [23], либо для формирования соответствующего «фронта» в областях стока и истока [24, 25].

1.3.3. Эффект возникновения тока утечки стока МОП-транзистора, обусловленный влиянием его затвора

Как следует из физики работы субмикронного МОП-транзистора, *сильное поле присутствует в окисле в области, где сток $n+$ полевого МОП-транзистора находится непосредственно под его затвором*, причем и сток, и затвор находятся, соответственно, под потенциалом V_{DD} и земли (рис. 1.10).

В соответствии с *законом Гаусса* заряд $Q_s = \epsilon_{ox} E_{ox}$ наводится в электроде стока. Этот заряд Q_s создается слоем обеднения в области стока. Так как подложка находится при более низком потенциале для неосновных носителей, любые неосновные носители, которые могут накопиться и сформировать инверсионный слой на поверхности стока под затвором, смещаются в поперечном направлении в подложку. По этой причине неравновесная поверхностная область называется «зачаточным инверсионным слоем», а этот неравновесный обедненный слой называется «слой глубокого обеднения».

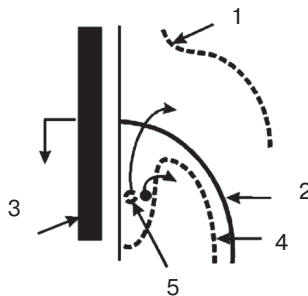


Рис. 1.10. Схема образования в полевом МОП-транзисторе тока утечки стока, вызванного затвором: 1 – край обеднения p -подложки; 2 – сток; 3 – поликремниевый затвор; 4 – край обеднения стока; 5 – образование пары при туннелировании

Если величина электрического поля в окисле E_{ox} достаточно велика, то падение напряжения на слое обеднения становится достаточным для возникновения эффекта туннелирования в области стока через образовавшуюся приповерхностную ловушку. В литературе описаны несколько возможных механизмов туннелирования посредством этих ловушек [26]. Какой бы ни был механизм, неосновные носители, проникшие в образующийся инверсионный слой, перемещаются в поперечном направлении в подложку, замыкая цепь протекания тока утечки стока, наведенного затвором (GILD). В КМОП-схемах этот ток утечки вносит существенный вклад в мощность, потребляемую в режиме холостого хода. Технически GILD может управляться как путем увеличения толщины окисла (снижение напряженности поля для заданного напряжения), увеличения уровня легирования области стока (для ограничения ширины слоя обеднения и объема туннелирования), так и путем устранения этих ловушек (обеспечивая уровни напряжения и поля достаточно низкими, чтобы туннелирование без этих ловушек с зоны на зону стало невозможным).

Литература к главе 1

1. Белоус А.И., Емельянов В.А., Турцевич А.С. Основы схемотехники микроэлектронных устройств. – М.: Техносфера, 2012. – 472 с.
2. Brew J.R. A Charge-Sheet Model of the MOSFET // Solid State Electron. – 1978. – Vol. 21. – P. 345.
3. S.M.Sze Physics of Semiconductor Devices// Wiley-Interscience. – New York. – 1969.
4. Garrett C.G.B. and Brattain W.H. Physical Theory of Semiconductor Surfaces // Phys. Rev. – 1955. – Vol. 99. – P. 376.
5. Roy K., Prasad Sh.C. Low-power CMOS VLSI Circuits Design // New York: Hilton books, 1995. – P. 348.
6. Hsu F.C. et al. An Analytical Breakdown Model for Short-Channel MOSFETs // IEEE Trans. Electron. Dev. – 1983. – Vol. 30. – P. 571.
7. Iao Z.H. et al. Threshold Voltage Model for Deep Submicrometer MOSFETs // IEEE Trans. Electron. Dev. – 1993. – Vol. 40. – P. 86.
8. Brews J.R. et al. Generalized Guide for MOSFIT Miniaturization // IEEE Electron. Dev. – 1980. – Vol. 1. – P. 2.
9. Taylor G.W. // Solid State Electron. – 1979. – Vol. 22. – P. 701.
10. Merkel G. A Simple Model of the Threshold Voltage of Short and Narrow Channel MOSFITs // Solid State Electron. – 1983. – Vol. 23. – P. 1207.
11. Ji C.R. and Shah C.T. Two-Dimensional Analysis of the Narrow-Gate Effect in MOSFETs // IEEE Trans. Electron. Dev. – 1983. – Vol. 30. – P. 635.
12. Chung S.S. and Li T.-C. An Analytical Threshold Voltage Model of the Trench-Isolated MOS Devices with Nonuniformly Doped Substrates // IEEE Trans. Electron. Dev. – 1992. – Vol. 13. – P. 614.
13. Lu C.Y. and Sung J.M. Reverse Short-Channel Effects on Threshold Voltage in Submicron Salicide Devices // IEEE Electron. Dev. Lett. – 1989. – Vol. 10. – P. 446.
14. Белоус А.И., Сякерский В.С., Алиева Н.А. Сравнительные исследования КМОП БИС, изготовленных в КНИ и КРС структурах // Сборник докладов Международной научной конференции «Актуальные проблемы физики твердого тела». – 23–26 октября 2007 г. – Минск, Беларусь. – С. 5–6.

15. Arora N.D. and Sharma M.S. Modelling the Anomalous Threshold Voltage Behavior of Submicron MOSFETs // IEEE Electron. Dev. Lett. — 1992. — Vol. 13. — P. 92.
16. Hanafi H. et.al. A Model for Anomalous Short-Channel Behavior in MOSFET // IEEE Electron. Dev. Lett. — 1993. — Vol. 14. — P. 575.
17. Sadana D. et al. Enhanced Short-Channel Effects in NMOSFETs Due to Boron Redistribution Introduced by Arsenic Source and Drain Implant // IEDM Tech. Dig. — 1992. — Vol. 37. — P. 849.
18. Белоус А.И., Бондаренко В.П., Долгий А.Н., Сякерский В.С. Фотолюминесцентные исследования КНИ структур // Сборник докладов Международной научной конференции «Актуальные проблемы физики твердого тела». — 23–26 октября 2007 г. — Минск, Беларусь. — С. 12–15.
19. Rafferty C.S. et al. Explanation of Reverse Short-Channel Effect by Defect Gradients // IEDM Tech. Dig. — 1993. — Vol. 38. — P. 311.
20. Zhu J. et al. Punchthrough Current for Submicrometer MOSFETs in CMOS VLSI // IEEE Trans. Electron. Dev. — 1988. — Vol. 35. — P. 145.
21. Hu C. Future CMOS Sealing and Reliability // Proc. IEEE. — 1993. — Vol. 81. — P. 682.
22. Klassen F.M. Design and Performance of Micron-Sized Devices // Solid State Electron. 1978. — Vol. 21. — P. 565.
23. Shibata T. et al. An Optimally Designed Process for Submicrometer MOSFETs // IEEE Trans. Electron. Dev. — 1982. — Vol. 29. — P. 531.
24. Codella C.F. and Ogura S. Halo Doping Effect in Submicron Df-LDD Device Design // IEDM Tech. Dig. — 1985. — P. 230.
25. Белоус А.И., Комаров Ф.Ф., Красницкий В.Я., Сякерский В.С. Модель расчета поверхностного сопротивления кремниевых ионно-легированных слоев p-типа // Электроника. Мн. — 2006. — № 11 (35). — С. 50–53.
26. Brews J.R. Subthreshold Behavior of Uniformly and Non-Uniformly Doped Long-Channel MOSFETs // IEEE Trans. Electron. Dev. — 1979. — Vol. ED-26. — № 9. — P. 1282.

Дополнительная литература

1. <https://works.doklad.ru/view/fvOUGHIGw54/all.html>
2. <https://studfile.net/preview/4519351/>
3. <https://scorcher.ru/art/electronica/electronica3.php>
4. <http://window.edu.ru/resource/623/75623/files/petrovich-lectures.pdf>
5. <https://books.google.by/books?id=e-7OBwAAQBAJ&pg=PA12&lpg=PA12&dq=%D0%A4%D0%98%D0%97%D0%98%D0%A7%D0%95%D0%A1%D0%9A%D0%98%D0%95+%D0%9E%D0%A1%D0%9D%D0%9E%D0%92%D0%AB+%D0%A0%D0%90%D0%91%D0%9E%D0%A2%D0%AB+%D0%9F%D0%9E%D0%9B%D0%95%D0%92%D0%AB%D0%A5+%D0%A2%D0%A0%D0%90%D0%9D%D0%97%D0%98%D0%A1%D0%A2%D0%9E%D0%A0%D0%9E%D0%92+%D0%BA%D0%BD%D0%B8%D0%B3%D0%B8&source=bl&ots=pkPefTUNXT&sig=ACfU3U2pN545mx7Iwc1MiOvXJJdoNeEMeQ&hl=ru&sa=X&ved=2ahUKewiIodjff0NXoAhXnsosKHXgVCrAQ6AEwCHoECAwQNQ#v=onepage&q=%D0%A4%D0%98%D0%97%D0%98%D0%A7%D0%95%D0%A1%D0%9A%D0%98%D0%95%20%D0%9E%D0%A1%D0%9D%D0%9E%D0%92%D0%AB%20%D0%A0%D0%90%D0%91%D0%9E%D0%A2%D0%AB%20%D0%9F%D0%9E%D0%9B%D0%95%D0%92%D0%AB%D0%A5%20%D0%A2%D0%A0%D0%90%D0%9D%D0%97%D0%98%D0%A1%D0%A2%D0%9E%D0%A0%D0%9E%D0%92%20%D0%BA%D0%BD%D0%B8%D0%B3%D0%B8&f=false>

6. <https://habr.com/ru/post/133493/>
7. https://works.doklad.ru/view/k_qcuHP2MfU/all.html
8. http://window.edu.ru/catalog/pdf2txt/623/75623/56464?p_page=9
9. <http://elektronika-muk.ru/radiodetal/polevye-tranzistory.html>
10. <https://kpfu.ru/portal/docs/F453798972/Laboratornaya.rabota.Polevoj.tranzistor.pdf>
11. https://otherreferats.allbest.ru/radio/00627667_0.html
12. <https://siblec.ru/radiotekhnika-i-elektronika/fizicheskie-osnovy-elektroniki/4-polevye-tranzistory>
13. <https://studfile.net/preview/4519351/>
14. https://mipt.ru/drec/forstudents/study/studyMaterials/2kurs/eldev/f_50otw1.pdf
15. <http://www.toroid.ru/bocharovLN.html>
16. <https://moluch.ru/archive/127/35054/>

ГЛАВА 2

ОСОБЕННОСТИ КОНСТРУКТИВНО–СХЕМОТЕХНИЧЕСКОГО ПРОЕКТИРОВАНИЯ СУБМИКРОННЫХ МИКРОСХЕМ

2.1. Основные проблемы проектирования микросхем с субмикронными проектными нормами

Повышение сложности проектирования интегральных микросхем, систем на кристалле и систем в корпусе связано с эволюцией КМОП-технологии в области «ультраглубокого субмикрона» и наноразмерных структур на потребительском рынке телекоммуникаций и мультимедиа [1, 2]. Такие высокоинтегрированные системы включают в себя этапы проектирования встроенных высокопроизводительных аналоговых блоков или блоков со смешанными сигналами, а также различных радиочастотных устройств на цифровых схемах (сложные процессоры, различные логические блоки и большие блоки памяти) на одном кристалле. Рост сервиса беспроводной связи и других средств телекоммуникации вызывает потребность в дешевых, высокоинтегрированных решениях с повышенными требованиями к характеристикам проектируемых систем.

Использование субмикронной КМОП-технологии (с технологическими нормами менее 65 нм) ставит новые важные проблемы при проектировании микросхем (как аналоговых, так и цифровых). Некоторые из этих проблем ранее не встречались вообще, другие существовали и раньше, но сегодня, в эру глубокого субмикрона, приобрели более серьезное значение.

Как известно, широко используемое разработчиками микросхем *масштабирование технологий* основано на определенных принципах. В частности, при проектировании цифровых схем уменьшение размера элементов в технологии *front-end* (т.е. до прибора) и в технологии *back-end* (включая межсоединения), связанное с добавлением все большего числа уровней межсоединений, приводит к радикальному увеличению плотности цифровых интегральных схем с одновременным уменьшением задержки времени переключения. Главный недостаток этой тенденции состоит в том, что *напряжение питания также должно было бы пропорционально уменьшаться*, что потенциально может привести к увеличению задержки времени переключения, а в ряде конкретных применений вообще неприемлемо.

В сценарии процедуры перехода на технологию глубокого субмикрона параметр масштабирования S одинаков для всех геометрических параметров и для всех параметров напряжений МОП-транзистора. Такой идеальный случай для стандартных КМОП-вентилей приводит к повышению плотности упаковки пропорционально S^2 ,

снижению внутренней задержки пропорционально $1/S$ и снижению потребляемой мощности пропорционально $1/S^2$ при постоянной величине плотности выделяемой мощности. Шумовые характеристики логических вентилях также снижаются, но все же остаются на приемлемом уровне.

К нашему сожалению, на практике такой идеальный сценарий не реализуется, однако, в принципе, он существует и показывает, что для цифровых схем масштабирование было и остается перспективным: быстродействие схем увеличивается, плотность логики возрастает, а потребляемая мощность снижается, шумовые эффекты также остаются на приемлемом уровне [3]. Для аналоговых схем масштабирование не приносит существенного выигрыша по площади, однако обеспечивает преимущества в отношении быстродействия, что позволяет изготавливать на кремнии RF схемы и быстродействующие аналоговые блоки, подобные преобразователям данных.

Другой аспект проблемы вытекает из работ [2–4]: при факторе масштабирования S геометрические размеры и все значения напряжений в МОП-транзисторе уменьшаются в $1/S$ раз, а концентрация примеси подложки увеличивается в S раз. В результате плотность компоновки прибора увеличивается в S^2 раз, рассеиваемая мощность остается постоянной, а задержка сигнала на затворе уменьшается в $1/S$ раз.

В действительности существуют серьезные проблемы, связанные с реализацией на практике ожидаемой теории. При этом **повышение рассеиваемой мощности является наиболее серьезной проблемой**. Одна из причин, почему затруднительно достигнуть, по крайней мере, постоянства рассеиваемой мощности — это невозможность дальнейшего уменьшения напряжения питания. Если напряжение питания остается постоянным, то рассеиваемая мощность увеличивается в S^3 раз. Другой причиной реального повышения рассеиваемой мощности является увеличение сложности схемы и повышение ее рабочей частоты.

По мере сокращения геометрических размеров элементов ИМС проектировщики могут разместить все большее количество транзисторов на одном кремниевом кристалле. Однако **уменьшение технологических норм приводит к повышению сложности кристалла и создает все большее количество проблем, связанных с контролем качества результата проектирования**. При приближении от 90 нм к 65 нм и тем более к 45 нм перед проектировщиками встают проблемы, обусловленные возрастающими электрическими и физическими эффектами, связанными с высокой плотностью межсоединений и высокой плотностью размещения транзисторов. Уже сегодня в технологии 90 нм и ниже проявляются такие эффекты «нецифрового» поведения этих систем, как динамическое падение напряжения на сопротивлении, токи утечки, электромиграция, антенные эффекты и эффекты перекрестного взаимодействия, которые могут существенно изменить характеристики функционирования схемы, «поднять» проблемы надежности и привести к выходу схемы из строя. Указанные проблемы становятся значительными и даже доминирующими с повышением рабочих характеристик проекта. Главными проблемами высокоэффективного физического проектирования ИМС с технологическими нормами глубокого субмикрона являются плотность токов и распределение мощности, синхронизация, флуктуации параметров технологии и шумовые эффекты. Методы динамического анализа являются наилучшим приближением для понимания и принятия решений указанных проблем глубокого субмикрона.

По мере масштабирования технологии до 90 нм и ниже (65 нм, 45 нм, 32 нм) *физические и квантово-механические эффекты, не столь существенны при «стандартной» технологии, становятся более важными*, а в некоторых случаях и доминирующими. Примером таких эффектов являются *токи утечки*, которые раньше, в «стандартной» технологии не принимались во внимание. Кроме того, с уменьшением геометрических размеров становится все более важным *разброс технологических параметров*. Очевидно, что разброс выходных параметров, как «отклик» на флуктуации технологических параметров, становится все более значительным, когда абсолютные значения указанных входных параметров уменьшаются. Это справедливо как для порогового напряжения, так и для степени легирования, геометрических размеров и пр. Например, отклонение порогового напряжения V_{TH} на 50 мВ более значимо для схемы, когда $V_{TH} = 200$ мВ, по сравнению с отклонением величины порогового напряжения V_{TH} на такую же величину при $V_{TH} = 700$ мВ.

Таким образом, сегодня главная проблема в проектировании систем с технологическими нормами 90 нм и ниже состоит в ответе на вопрос: реализуются ли указанные преимущества масштабирования при учете новых физических эффектов, характерных для технологии «глубокого субмикрона»? Возможно ли решение в «наномире» таких задач, как достижение предельных рабочих характеристик ИМС, минимизация потребления мощности, оптимизация надежности, технологичности изготовления и цены? Какие сегодня решаются задачи и предлагаются решения в сфере физического проектирования ИМС, изготавливаемых по технологии глубокого субмикрона? Можно ли сохранять высокие рабочие характеристики современных ИМС при таких новых ограничениях? Другими словами: будет ли проектирование схем, выполненных по технологии 90 нм и ниже, все же приносить преимущества, которые прогнозировались ранее, или же ограничения по проектированию станут такими суровыми, что развитие этой важной области человеческой деятельности закончится на отметке 90 или 65 нм?

Настоящая глава и посвящена подобным проблемам, возникающим при проектировании аналоговых и цифровых схем, выполненных по наноразмерной («глубокого субмикрона») технологии – с технологическими нормами менее 90 нм.

Здесь рассмотрены основные проблемы, которые влияют на результаты проектирования интегральных микросхем (ИМС) с такими технологическими нормами, включая *повышенные токи утечки, температурные эффекты, флуктуации параметров технологии при ее масштабировании* и пр. Кроме того, обсуждаются проблемы влияния указанных факторов на результаты проектирования цифровых схем, а также встроенных схем памяти. И, наконец, рассмотрим проблемы, характерные для *встроенных аналоговых микросхем* (в том числе снижение напряжения питания), а также показатели, характеризующие эффективность проектирования.

Успешное будущее высокоэффективного проектирования процессоров, схем памяти и других изделий микроэлектроники с проектными нормами ниже 90 нм связано с решением двух основных проблем:

- рассеяние энергии и, как следствие, возрастание потребляемой мощности отдельных вентилях и схемы в целом;
- изменения (флуктуации, технологического разброса) параметров субмикронной технологии.

Попробуем здесь показать, что *подход к проектированию в микроэлектронике изменяется с детерминированного на вероятностный и статистический*. В работе [5], где обсуждаются наиболее известные схемотехнические решения и возможности автоматизации проектирования для преодоления указанных проблем, показано определенное несоответствие между сохранением исторического уровня роста (по крайней мере до порогового значения технологической нормы в 0,18 мкм) функциональности и падением энергопотребления при вхождении в поколение КМОП-технологии с нормами ниже 90 нм. Серьезнейшую проблему представляют также чрезмерно большие подпороговые токи и токи утечки через подзатворный диэлектрик. Кроме этого, энергетическая эффективность микроархитектуры сложнофункциональной ИМС начинает играть большую роль, по сравнению с компромиссами относительно рассеиваемой мощности и площади кристалла.

2.2. Основные тенденции развития кремниевых БИС

При масштабировании технологии ниже 90 нм повышение плотности транзисторов, как обычно, подчиняется *закону Мура*, что обеспечивает достижение все более высокой степени интеграции. При этом время задержки на транзисторе продолжает уменьшаться — вплоть до 30% на каждое поколение технологических норм. Однако рассеяние мощности и высокий уровень относительной величины разброса технологических параметров не дают возможности использовать преимущества достижения высокой степени интеграции при уменьшении технологической нормы.

По мере масштабирования технологии напряжение питания V_{DD} плавно уменьшается на 15% с каждым новым поколением из-за сложностей, связанных, во-первых, с масштабированием порогового напряжения V_{TH} и, во-вторых, с реализацией целей разработки транзисторов с повышенными характеристиками.

Рис. 2.1 иллюстрирует рост активной мощности микропроцессора с учетом «исторического» 2-кратного роста числа транзисторов и гипотетического 1,5-кратного роста. Видно, что если следовать «исторической» тенденции, изменение активной мощности ждет тупик при ограничении размера транзистора, повышении степени интеграции и размера кристалла с каждым новым поколением технологии.

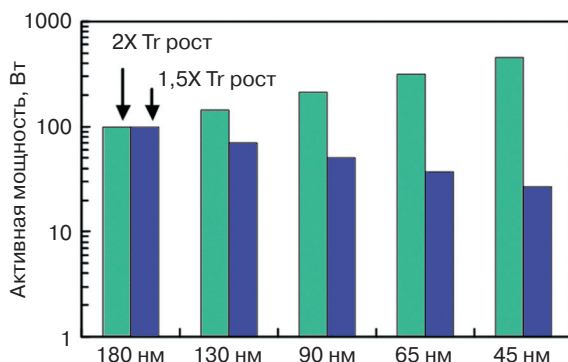


Рис. 2.1. Тенденция изменения активной мощности с уменьшением технологических норм

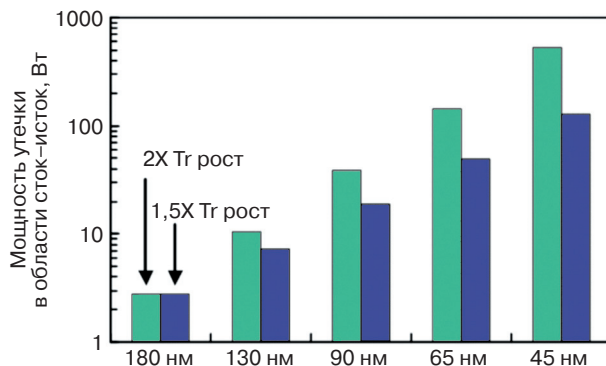


Рис. 2.2. Зависимость мощности тока утечки в области исток-затвор от технологических норм

Пороговое напряжение V_{TH} с уменьшением технологической нормы будет продолжать умеренно уменьшаться, пока его величина не достигнет предела ограничений по характеристикам транзистора, с одновременным повышением подпороговых токов утечки исток-затвор (source-drain, SD). На рис. 2.2 представлена зависимость тока утечки SD от технологической нормы для 2-кратного и 1,5-кратного повышения плотности транзисторов. Отметим, что даже при умеренном уменьшении V_{TH} мощность, выделяемая SD токами утечки, будет возрастать существенно, ставя под вопрос перспективность даже 1,5-кратного возрастания плотности транзисторов при каждом следующем поколении технологии и уменьшения размера кристалла.

Как будет более подробно показано ниже, **учет разброса параметров играет очень важную роль при проектировании кристаллов с нормами ниже 90 нм**. На рис. 2.3 представлена частотная зависимость микропроцессора от подпорогового тока утечки I_{sb} . Разброс подпорогового тока I_{sb} обусловлен вариацией длины канала, вызванной изменениями порогового напряжения. Отметим, что наивысшей частоте соответствует широкий разброс тока утечки, а для данного тока утечки — большой разброс частоты. Кристаллы с наибольшей частотой и с большой величиной I_{sb} , как и низкочастотные кристаллы с достаточно высокой величиной I_{sb} должны быть отбракованы, что повлияет на выход годных.

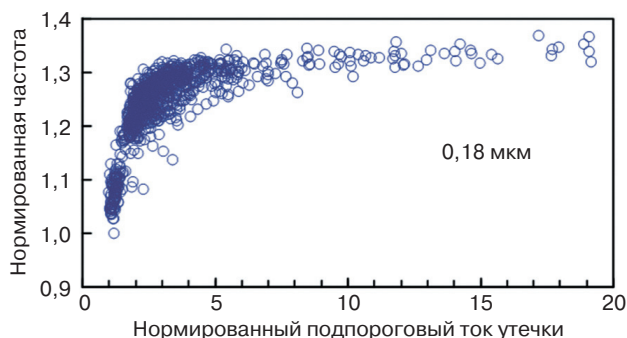


Рис. 2.3. Зависимость нормированной рабочей частоты микропроцессора от нормированного подпорогового тока утечки

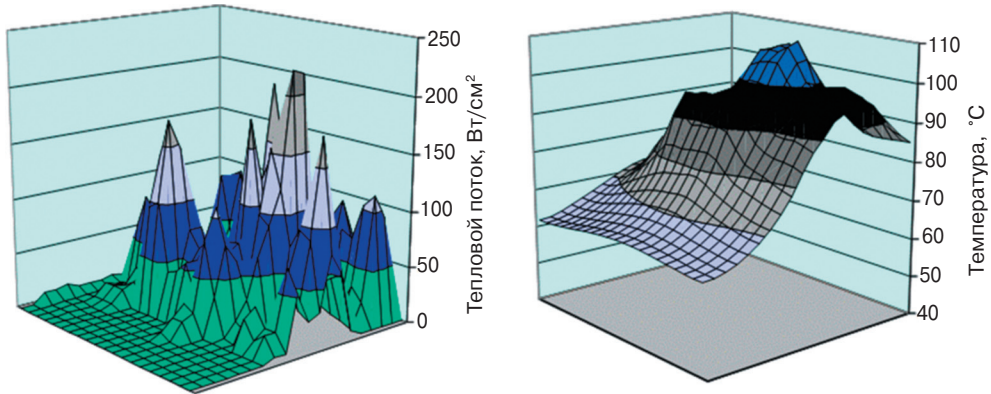


Рис. 2.4. Разброс плотности рассеиваемой мощности и температуры по кристаллу

Различия в активности переключения по кристаллу и разнообразие типов логики приводят к неравномерному рассеянию мощности даже в пределах одного кристалла (рис. 2.4) [2, 6].

Эти вариации влекут за собой неравномерное распределение напряжения питания, возникновение локальных «горячих» температурных точек на кристалле и, следовательно, неравномерное распределение подпороговых токов утечки по кристаллу. В связи с этим важно проводить проектирование с учетом отклонения параметров, меняя стиль проектирования от современного детерминированного к вероятностному и статистическому.

Как было сказано выше, стремительное развитие современной микроэлектроники, особенно при переходе на субмикронные технологии, кроме безусловных преимуществ, порождает и новые проблемы, требующие неотложного решения. Одной из таких проблем является значительный рост энергопотребления в статическом режиме при увеличении рабочих частот ИМС (рис. 2.5).

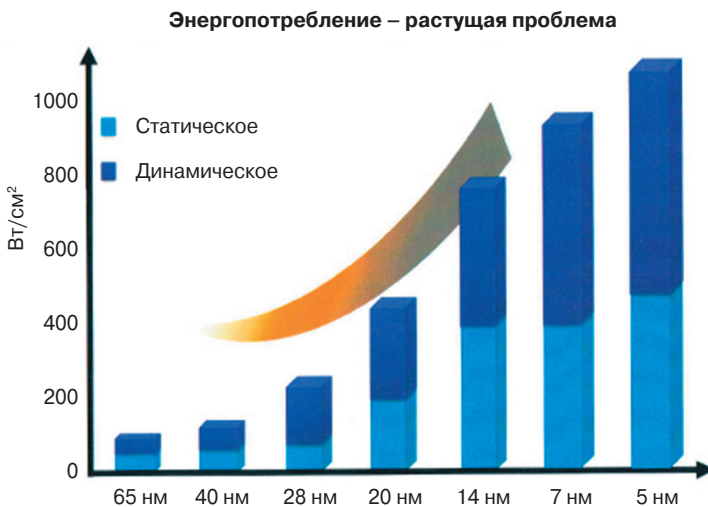


Рис. 2.5. Эволюция потребляемой мощности с изменением проектных норм

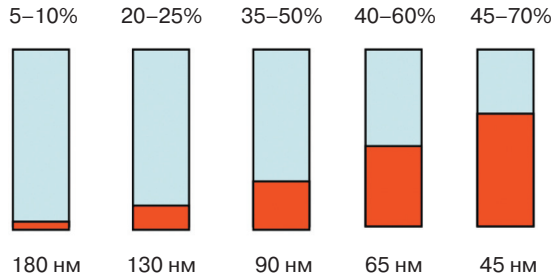


Рис. 2.6. Отношение энергетических затрат, обусловленных токами утечки, к полной рассеиваемой мощности для различных субмикронных КМОП-технологий

Приведенная на рис. 2.5 тенденция кажется парадоксальной, поскольку основным достоинством традиционно используемого при производстве цифровых ИМС КМОП технологического процесса является именно низкая потребляемая мощность в статическом режиме.

Основная причина указанной проблемы состоит в возникновении так называемых токов утечки в субмикронных КМОП ИМС. При таких технологических нормах изготовления уже теряется основное преимущество КМОП-транзисторов — пренебрежимо малое статическое потребление энергии. На рис. 2.6 представлена гистограмма процентного отношения энергетических затрат, связанных с токами утечки, к полной рассеиваемой мощности для различных субмикронных технологических норм при изготовлении КМОП ИМС.

Как показано на рис. 2.7 [2], современный микропроцессор, изготовленный с технологическими нормами глубокого субмикрона с точки зрения тепловыделения, образно говоря, представляет собой маленький «ядерный реактор». И это тепло необходимо как-то и куда-то «отводить».

Таким образом, кроме значительных затрат собственно на проектирование ИМС, приходится вкладывать дополнительные и весьма значительные финансовые средства и в разработку соответствующих систем охлаждения (рис. 2.8).

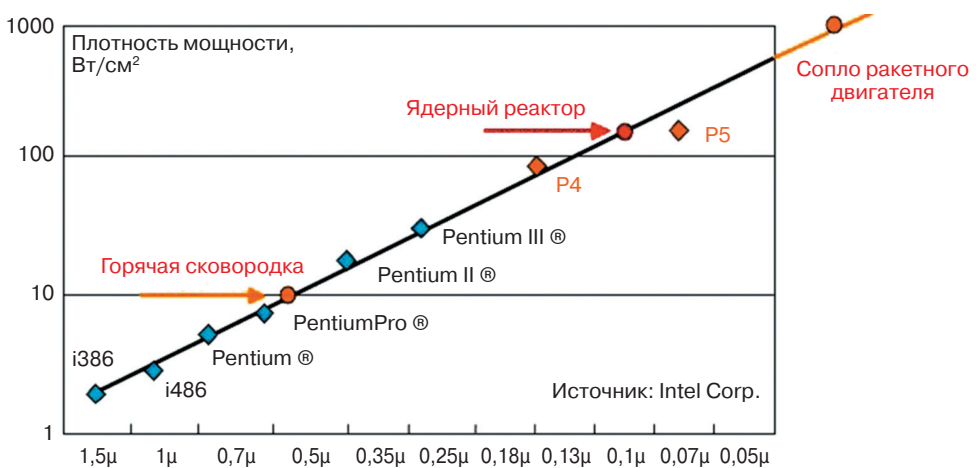


Рис. 2.7. Плотность мощности, потребляемой современными ИМС

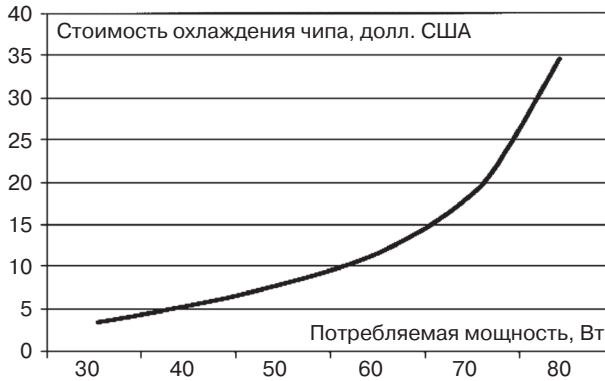


Рис. 2.8. Рост стоимости систем охлаждения ИМС [2]

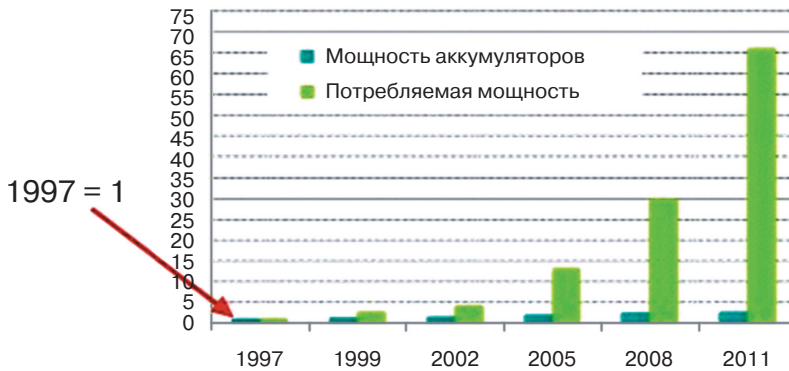


Рис. 2.9. Развитие источников питания с учетом отношения к потребляемой приборам мощности за период с 1997 по 2011 г.

Из указанных проблем очевидно следует необходимость решения еще одной важнейшей задачи – создание эффективных источников питания. Если емкость современных аккумуляторных батарей за последнее десятилетие выросла всего в 3–4 раза, то потребляемая устройствами мощность выросла более чем на порядок – в 50–70 раз (рис. 2.9). Наблюдается неумолимая тенденция, согласно которой при ежегодном росте емкости элементов питания на 10–15% потребляемая мощность возрастает на 35–40%.

Рассмотрим более коротко причины и физические механизмы генерации этой мощности в ИМС, чтобы понять пути ее снижения.

2.3. Пути уменьшения величины потребления мощности в субмикронных БИС

В одной из первых работ по этому направлению [7] был представлен краткий обзор проблем, связанных с токами утечки, при проектировании систем, изготавливаемых по 90 нм технологии и ниже. Рассмотрим ниже основные *вопросы, связанные с механизмами управления мощностью*, включая технологии, методы и инструменты,

обеспечивающие снижение уровня токов утечки и энергопотребления, связанного с ними, в современных подходах к проектированию.

На рис. 2.10 показана простейшая структура МОП-транзистора. По мере уменьшения толщины (t_{ox}) подзатворного диэлектрика (до 12 \AA в 90 нм технологии) напряжения в поперечном сечении затвора должны снижаться до уровня, при котором не будет пробоя в изолирующих материалах.

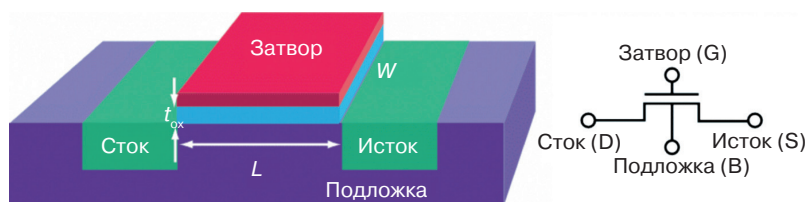


Рис. 2.10. По мере уменьшения толщины подзатворного диэлектрика t_{ox} напряжение вдоль затвора должно уменьшаться

Для разработчиков, которые занимались в основном проектированием схем по КМОП-технологии, концепция больших токов в спящем режиме может оказаться непривычной для реализации, особенно если кристаллы поставляются фабриками, на которых изготавливаются схемы с более высокой степенью рассеяния энергии. Отсюда следует вывод, что для устранения таких противоречий необходима определенная система управления процессом рассеяния энергии, обусловленной токами утечки.

Рост потребления энергии, обусловленный токами утечки. Современные технологические процессы вынуждают разработчиков искать новые методы проектирования для снижения рассеяния энергии, обусловленной токами утечки. Как следует из рис. 2.11, управление быстродействием является одним из наиболее эффективных способов достижения этой цели.

Для реализации этой концепции необходимо создание соответствующей библиотеки, с помощью которой можно было бы иметь более богатый выбор ячеек, основанных на знании конкретных характеристик быстродействия и токов утечки для каждой ячейки. Из данных, представленных на рис. 2.11, следует, что при изменении времени задержки на затворе с 25 пс до 8 пс ток выключения I_{OFF} МОП-транзистора возрастает почти на четыре порядка, т.е. проявляется экспоненциальная зависимость при снижении порогового напряжения на каждые 65 мВ . Эта закономерность проявляется как для n-МОП, так и для p-МОП-транзистора.

На протяжении недавнего времени, начиная со схем, выполненных еще по технологии $0,5 \text{ мкм}$, напряжение питания снизилось с 5 В до 1 В и даже ниже. Для достижения характеристик транзистора, соответствующих новым поколениям технологии, необходимо было снижать и пороговое напряжение. Проектируемые транзисторы должны функционировать с величиной порогового напряжения, равного $1,25 \text{ В}$, как и при 5 В технологии, что недостижимо при технологии 1 В . Снижение порогового напряжения имеет большое значение и для решения проблемы увеличения токов утечки в КМОП-технологиях нового поколения. В типичном случае подпороговые токи утечки увеличиваются экспоненциально с каждым 65 мВ повышением порогового напряжения.

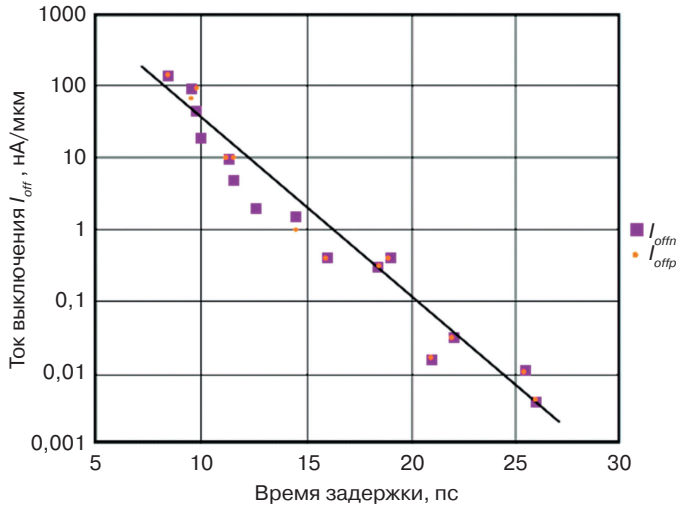


Рис. 2.11. Зависимость тока выключения МОП-транзистора от величины задержки распространения сигнала

Технологии, при которых токи в «спящем» режиме велики, не связаны с какой-то новой концепцией. Для проектировщиков, которые ранее использовали технологии проектирования схем на биполярном переходе, выполненных по ECL или FET технологиям, представления о токах в n-МОП-приборах достаточно понятны, как и пути их снижения.

Крупные современные фабрики обладают технологическими процессами, с помощью которых на одной пластине формируются n-МОП или p-МОП-транзисторы с разными величинами пороговых напряжений. Такие разные типы транзисторов используются для создания отдельных ячеек с одинаковой функциональностью, но с разными характеристиками быстродействия и токов утечки. На рис. 2.12 представлены зависимости мощности (на рисунке от 1 до 10 000 мВт), выделяемой токами утечки библиотечных ячеек для 90 нм технологии и ниже, от рабочей частоты транзистора. Величина выделяемой мощности основана на средней величине тока утечки в транзисторе с низкой величиной порогового напряжения.

Ячейки с повышенной величиной тока утечки (кривая 1) содержат транзисторы с пониженной величиной порогового напряжения. «Осциллограмма» (кривая 2) иллюстрирует характеристики токов утечки для соответствующих ячеек с транзисторами, имеющими повышенные значения порогового напряжения. Представленные зависимости с высокими и низкими величинами токов утечки показывают, что входные величины для некоторых ячеек могут иметь значительное влияние на ток утечки.

Соотношение между характеристиками быстродействия транзистора и токами утечки может быть использовано при разработке проектов, оптимизированных по длительности сигналов и рассеиваемой мощности. Ячейки, которые не полагаются на критическом пути распространения сигнала, часто не требуют характеристик, присущих ячейкам с высоким уровнем токов утечки, и они могут использовать более медленные транзисторы с более низким уровнем токов утечки.

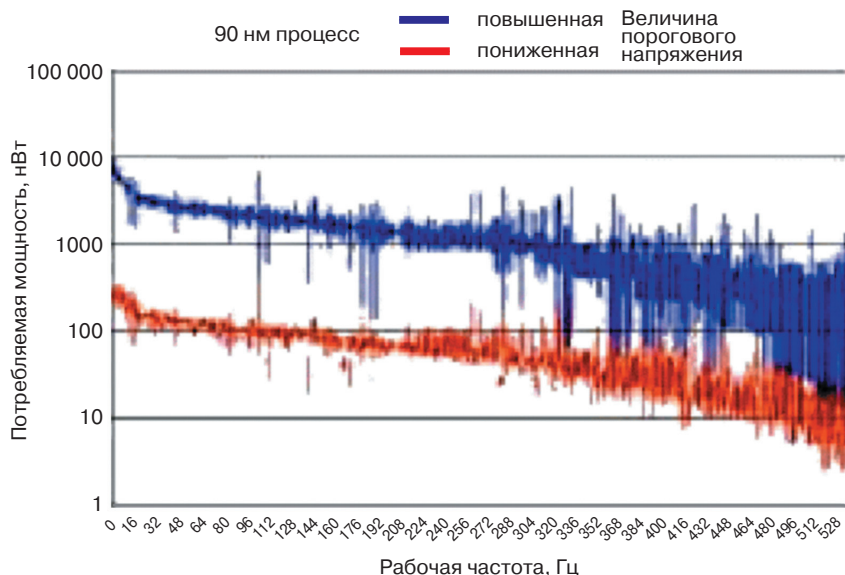


Рис. 2.12. Разница между быстродействием и токами ячейки может использоваться для создания проектов, оптимизированных по частотным характеристикам и потребляемой мощности

Поскольку входные характеристики ячеек могут существенно влиять на их токи утечек, современные средства оптимизации могут не просто предложить замену ячейкам, основанным на усредненных величинах токов утечки. Кроме установления ограничений на быстродействие, эти средства должны также помочь установлению других ограничений на правила проектирования (Design Rule Constraints, DRCs), таких как, например, максимальное число fan-outs на ячейку (*fan-out* – количество входов, которые могут быть соединены с выходом ячейки, прежде чем токи, необходимые для входов, будут превышать ток, который может быть направлен выходом с сохранением правильных (установленных) логических уровней) и времен переходов (*transition times*). В типичном случае наилучшие конечные результаты достигаются в том случае, когда оптимизация мощности, обусловленной токами утечки, проводится на ранних стадиях проектирования.

В тех случаях, когда использование ячеек со смешанными (высокими и низкими) значениями пороговых напряжений V_{TH} недостаточно эффективно, используются более сложные методы для снижения рассеяния мощности, обусловленной токами утечки. В типичном случае эти альтернативные методики требуют разделения проекта на отдельные части, тем самым виртуально исключая ток утечки, когда определенные секции проекта находятся в «спящем» состоянии.

Эта методика требует включения дополнительных транзисторов, которые служат для управления потребляемой мощностью (*power-gating transistors*) посредством отключения тока к выделенным секциям проектируемой схемы. Такими транзисторами могут быть р-МОП-транзисторы, подсоединенные к цепям питания V_{DD} , чтобы изолировать выделенную секцию от V_{DD} или н-МОП-транзисторы, подключенные к схеме V_{SS} .

В типичном случае р-МОП-транзисторы называются «ведущими», а n-МОП-транзисторы — «ведомыми». Для получения максимальных результатов можно использовать одновременно как «ведущие», так и «ведомые» транзисторы. Такие транзисторы могут быть введены в схему для управления целой группой ячеек и даже целыми блоками проекта. В некоторых архитектурах ячеек «ведущие» и «ведомые» транзисторы вводятся в каждую ячейку для осуществления контроля по спящему режиму с использованием периферии ячейки.

Если в проектируемой схеме используется управление по мощности (*power gating*), то проектировщик должен сделать выбор, как следует использовать эту часть схемы, управляемой по мощности (*power gated section*).

В этом случае используются три основных подхода к решению задачи оптимизации потребляемой мощности:

- «отбрасывание» старого состояния системы и повторение его проектирования в режиме повышенного состояния по потребляемой мощности;
- сохранение текущего состояния проекта и его использование при следующем поднятии мощности;
- использование специальных регистров (*retention registers*), которые сохраняют состояние проекта локально в состоянии «запирания» с низким уровнем токов утечки и могут быть использованы для сохранения «старого» состояния после поднятия мощности.

Третий способ основан на способности быстрого сохранения и восстановления состояния *power-gated* секций. Некоторые решения синтеза состояний с пониженной величиной потребляемой мощности обеспечивают поддержку для упомянутых *retention* регистров, которые вставляются в определенные части проекта по выбору разработчика.

Существует конструктивно-технологическая проблема обеспечения электрической изоляции между *power-gated* секциями и остальной частью проектируемой системы. Наличие выводов из этих *power-gated* секций, если есть возможность сделать их плавающими, может привести к тому, что вентили, служащие для управления потребляемой мощностью, могут перемещаться в топологии кристалла на некоторые «промежуточные» уровни. Это может приводить к большому числу коротких замыканий или *crowbar currents* в затворе, что вызывает, следовательно, прямо противоположные результаты относительно предполагаемой экономии энергии (*crowbar currents* — ток, возникающий в переходном состоянии в КМОП-системе, когда оба транзистора, как n-МОП, так и р-МОП, находятся частично во включенном состоянии; или ток, который течет непосредственно из V_{DD} на землю, GND, при переключении из включенного состояния в выключенное). Следовательно, необходимо использовать изоляционные ячейки, которые будут управлять выводами *power-gated* секций.

Важно отметить, что упомянутые регистры и изоляция реализуются не только с помощью инструментов, предназначенных для синтеза и оптимизации, но также и путем использования инструментов, которые осуществляют *scan insertion*, АТРС и верификацию (АТРС, *Automatic Test Pattern Generation* или *Automatic Test Pattern Generator* — технология компьютерного проектирования, используемая для определения правильного поведения схемы или ее поведения с ошибками, вызванного наличием в ней дефектов).

Другой способ снижения энергетических потерь, обусловленных токами утечки, состоит в изменении потенциала, приложенного к подложке (*body*) МОП-транзисторов. Изменяя потенциал на подложке, можно динамически менять ток утечки и рабочие характеристики транзистора. Этот способ может быть также использован для повышения качества проектируемой схемы – рабочие характеристики транзисторов можно подогнать к номинальным значениям, если они изменились вследствие флуктуаций параметров технологических процессов.

Мощность, обусловленная токами утечки, является все возрастающей проблемой в общем процессе проектирования. В отличие от динамической мощности, которой можно управлять посредством снижения переключательной активности, проблема мощности, обусловленной токами утечки, существует как «плата» за общую проблему потери мощности.

При 90 нм и ниже мощность токов утечки составляет значительную долю от полной мощности высокопроизводительных проектов и является критической при удовлетворении требований, предъявляемых к задаче «спящего» режима в схемах малой мощности.

Библиотеки приборов с разными пороговыми напряжениями, *power-gating* и разнообразные *body bias* могут использоваться в качестве эффективных средств снижения мощности токов утечки в схемах, изготовленных по технологии 90 нм. Современные средства обеспечивают возможности для использования таких технологий и помогают снизить мощность токов утечки в проектах глубокого субмикрона. Очевидно, что разработка микроэлектронного устройства с наилучшими функциональными характеристиками должна проводиться с условием обеспечения низкого потребления энергии. При этом следует обеспечить оптимальное (равномерное) распределение рассеиваемой мощности по площади проектируемого кристалла для всего требуемого температурного диапазона.

Оптимальное распределение мощности – одна из главных проблем, связанных с проектированием топологии ИМС по технологии глубокого субмикрона. Расположение активных и пассивных элементов по кристаллу и компоновка самого кристалла с соблюдением специальных правил и методов позволяют определенным образом распределять величины V_{DD}/GND и сигналы как по кристаллу, так и по его периферии. Однако современные прогнозы относительно количественного соотношения между выделяемой удельной мощностью и плотностью (степенью интеграции) приборов в нанометровых проектах не всегда учитывают такой подход размещения приборов по кристаллу.

Важным аспектом при решении этой задачи является методика определения и учета «горячих точек» (*hot spots*) – кластеров наиболее активно переключающихся транзисторов, располагающихся неравномерно по кристаллу, поскольку допущение о равномерной плотности распределения рассеиваемой мощности является «слишком оптимистичным». Горячая точка при расчетах определяется как область, в которой локальная плотность рассеиваемой мощности в 4 раза больше, чем величина общей для кристалла плотности рассеиваемой мощности в равномерном приближении, которая обозначается обычно как $(P_{\text{чип}}/A_{\text{чип}})$.

Рассмотрим еще одну *проблему, связанную с возрастанием роли последовательного омического сопротивления пути прохождения сигналов внутри кристалла*. Специ-

алисты по проектированию БИС на своем специфическом техническом сленге (языке) называют ее проблемой IR-масштабирования (IR – падение напряжения на межсоединениях внутри кристалла). На рис. 2.13 показан необходимый диапазон (нормализованный к минимальной ширине металлизации на самом верхнем уровне межсоединений), который необходим для обеспечения не более чем 10% падения напряжения на этом сопротивлении в «горячих точках» проектируемого изделия в масштабированных технологиях с использованием минимальной допустимой высоты рельефа (*bump pitch*).

Этот рисунок отражает реальную ситуацию только для случая высокоуровневой трассировки при условии, что остальная часть схемы, в которой выделяется мощность, оптимальным образом трассируется проектировщиками, тогда как самый высокий уровень разводки металлизации ограничивается технологией. Следует отметить, что область 35 нм технологии имеет меньшие ограничения по сравнению с 50 нм технологией из-за пониженной плотности рассеяния мощности при 35 нм технологии.

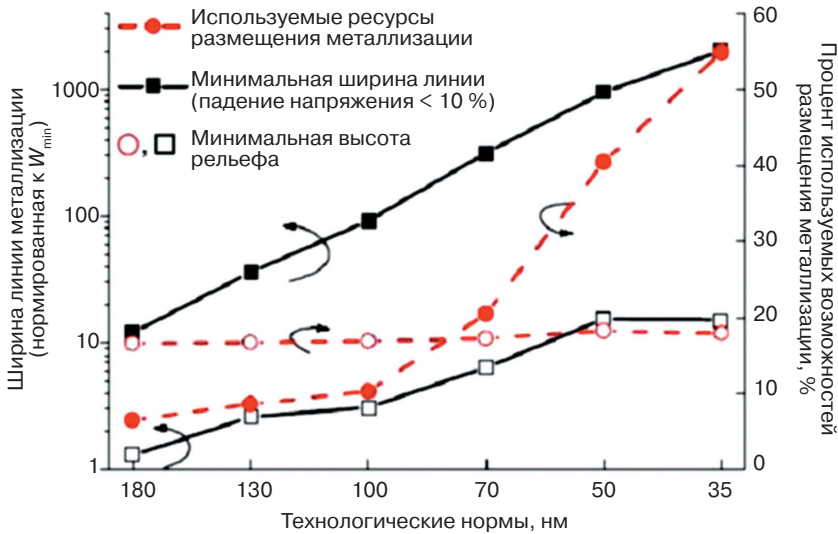


Рис. 2.13. Тенденции масштабирования с учетом падений напряжения на сопротивлении металлизации межсоединений

Вообще говоря, в то время как отмеченная тенденция кажется тревожной (примерно квадратичное увеличение рассеиваемой мощности в зависимости от усредненной ширины линии межсоединений, нормализованной к стандартной минимально допустимой ширине линии), даже при уровне проектных норм 35 нм опытный разработчик может успешно решить проблему мощности. Имеющиеся данные, относящиеся к V_{DD} и GND, показывают, что даже 16-кратное снижение минимальной ширины линии межсоединения приводит к экономии всего лишь менее чем 4% всех ресурсов трассировки на верхнем уровне металлизации. Тем не менее общая минимизация трассировки при правильном расчете и моделировании может обеспечить 17–20% экономии (снижение величины рассеиваемой мощности).

Проектирование БИС с учетом оптимального распределения потребляемой мощности — критические вопросы во всей проблеме проектирования микросхем и тем более на уровне глубокого субмикрона. С уменьшением напряжения питания, возрастанием требований снижения удельного уровня потребляемой мощности, с повышением плотности компоновки схемы задача снижения до минимума потребления мощности, уменьшение величины падения напряжения на внутренних шинах межсоединений и увеличение до максимума надежности проектируемой ИМС не могут быть решены стандартными методами схемотехнического проектирования. При этом цена решения таких проблем является чрезвычайно высокой — в случае неудачи проекта требуется выполнить множество итераций, и не всегда получается положительный результат.

Разработчик субмикронной ИМС должен уметь квалифицированно выполнять необходимый анализ топологии ИМС и ее оптимизацию для удовлетворения условий ограничений по потребляемой мощности и надежности. Необходимо оптимизировать как распределение потребляемой мощности по площади ИМС и снижение общего значения, если это возможно. Следует корректно учитывать не только падение напряжения, но и параметры непосредственно связанного с ним процесса электромиграции. После выполнения первой итерации распределения мощности необходимо выполнить точный расчет временных характеристик (динамического моделирования) для всего проекта, включая расчет временных характеристик каждой ячейки с учетом допустимых отклонений напряжения и технологических разбросов.

Оптимальное размещение по площади кристалла основных источников потребления энергии уменьшает токовые нагрузки на проводники, по которым происходит передача высокочастотных сигналов. Кроме того, оптимальное размещение транзисторов, потребляющих энергию, связано с общей задачей минимизации длины межсоединений. Такая оптимизация приводит к существенному снижению динамического потребления энергии на шинах с высокой переключательной активностью.

Оптимальное размещение транзисторов и межсоединений в топологии ИМС с точки зрения минимизации тепловыделения также связано с проблемой минимизации падения напряжения (IR) на питающих шинах. Этот вид размещения важен с точки зрения требований по току в связи с тем, что ячейки (транзисторы) с высоким потреблением энергии должны распределяться равномерно по всей топологии, избегая образования «горячих пятен» в проектируемой схеме. Такой комплексный подход приводит к эффективной минимизации падений на внутреннем сопротивлении металлизации (IR), плотности тока и температуры.

С каждым новым поколением технологии уровни рассеиваемой на сопротивлениях мощности снижаются, но проблема эффективного управления потребляемой мощностью не только не снимается, но наоборот становится все более важной. Вследствие уменьшения линейных размеров элементов и повышения плотности упаковки приборов в схеме уровни падения напряжения, которые были приемлемы в предыдущих поколениях технологии, теперь могут являться причиной ошибок в функционировании схемы, а возникающие градиенты температуры могут в значительной степени способствовать деградации рабочих характеристик схемы.

Таким образом, для снижения потребляемой мощности на этапе проектирования ИМС необходимо осуществление следующих мер:

1. Физическое распределение потребляемой мощности в пределах кристалла должно проводиться с учетом всех особенностей и характеристик, присущих технологиям глубокого субмикрона. Оптимизация распределения потребляемой мощности должна быть осуществлена совместно с оптимальным (минимальным) распределением падения напряжения и учетом флуктуаций плотности тока.
2. Для проведения необходимого точного расчета синхронизации проектируемой ИМС необходимо использовать соответствующие специальные разработки программных средств проектирования (САПР).

2.4. Взаимосвязь утечки и статического потребления мощности в структуре субмикронного МОП-транзистора

При переходе современной микроэлектроники на КМОП-технологию, начавшемся в 80-х годах прошлого столетия, разработчики были удовлетворены преимуществами этой технологии, заключающимися в том, что потребление энергии в таких схемах определялось частотой переключения базовых элементов — транзисторов. Во многих случаях потребление мощности в статическом режиме при расчетах и моделировании вообще не принималось во внимание. Когда микросхема не обрабатывала информацию, мощность, выделяемая в этом спящем режиме, считалась пренебрежимо малой. И это в определенной степени было обоснованно, поскольку токи утечки в то время определялись токами обратно-смещенных переходов между истоками и стоками, которые были пренебрежимо малыми.

По мере использования технологии, проникающей в область глубокого субмикрона, *уменьшающиеся напряжения в приборах привели к снижению величин электрических полей в структуре прибора, а также к снижению динамического энергопотребления* [3, 7]. Рассмотрим более подробно механизмы генерации мощности в субмикронных ИМС.

2.4.1. Пути уменьшения потребления мощности в субмикронных КМОП-БИС

На рис. 2.14 представлены графики, демонстрирующие протекающие в цифровой ИМС токи, ответственные за потребляемую мощность для динамического (а) и статического (б) режимов [3, 8].

В динамическом режиме (при переключении элемента из одного логического состояния в другое) в схеме протекают два тока — $I_{dynamic-C}$ (ток перезарядки выходной емкости C_L) и I_{SC} (ток короткого замыкания, который протекает в момент, когда цепи р-МОП и п-МОП-приборов открыты). При этом мощность переключения $P_{switching}$ будет складываться из двух основных компонент — $P_{dynamic-C}$ и P_{SC} . Таким образом, зависимость для динамической потребляемой мощности можно записать в следующем виде:

$$P_{switching} = \frac{1}{2} a_{sw} C_L V_{DD}^2 f_{clock}, \quad (2.1)$$

где a_{sw} — фактор активности переключения, C_L — выходная нагрузочная емкость, f_{clock} — тактовая частота.

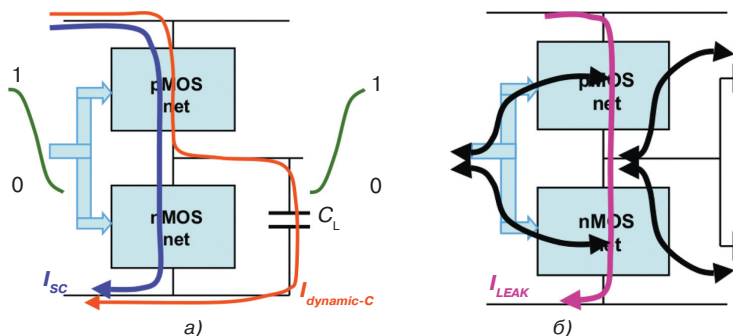


Рис. 2.14. Пути протекания токов в цифровой схеме в динамическом (а) и статическом (б) режимах

Фактор активности переключения a_{sw} представляет собой среднее количество смены состояния (переходов) на выходе ячейки, происходящих за цикл переключения. Произведение $a_{sw}C_L$ называют также эффективной емкостью ячейки C_{eff} . Таким образом, усредненная мощность переключения описывается зависимостью:

$$P_{av\ sw} = V_{DD}^2 f_{clock} \sum_i C_{eff}^i = V_{DD}^2 f_{clock} C_{eff\ tot}, \quad (2.2)$$

где V_{DD} — напряжение питания.

Существуют следующие методы уменьшения уровня потребляемой мощности:

- уменьшение величины напряжения питания;
- уменьшение рабочей частоты;
- снижение паразитных емкостей;
- оптимизация циклов переключения при выполнении повторно этапа логического моделирования и верификации.

Потребление в режиме «короткого замыкания» можно описать с помощью выражения:

$$P_{av\ sc} \approx a_{sw} \frac{1}{2} (t_2 - t_1) I_{sc\ max} V_{DD} f_{clock}. \quad (2.3)$$

Здесь разность $(t_1 - t_2)$ зависит от порогового напряжения и крутизны входного сигнала.

Типовые зависимости тока короткого замыкания I_{sc} от времени представлены на рис. 2.15.

К сожалению, эти методы приводят к ухудшению технических характеристик ИМС. Так, при снижении питающего напряжения и рабочей частоты снижается производительность и нагрузочная способность элементов ИМС. Для снижения паразитных емкостей требуется существенная доработка и модернизация спроектированной технологии (что не всегда возможно), а также необходимо повторять этапы проектирования системного (логического) уровня, с целью дополнительной оптимизации (увеличение сроков и стоимости проектов).

Из анализа представленных зависимостей очевидны меры, необходимые для снижения уровня потребляемой мощности за счет уменьшения P_{sc} :

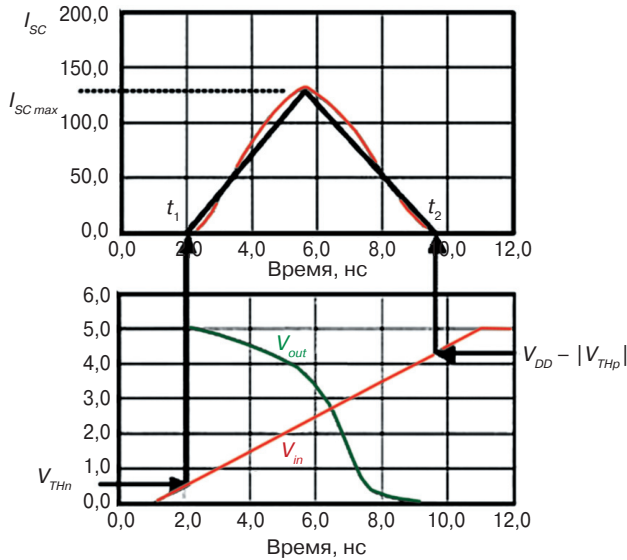


Рис. 2.15. Типовые зависимости тока короткого замыкания I_{sc} от времени для субмикронных ИМС

- уменьшение величины напряжения питания ИМС (но при этом снижаются рабочие характеристики);
- уменьшение рабочей частоты (при этом также снижаются рабочие характеристики);
- уменьшение токов включения (ухудшаются динамические характеристики);
- специальная оптимизация режимов переключения вентилях при функционально-логическом проектировании системы;
- изменение (коррекция) входных сигналов за счет модификации формы (крутизны) передних и задних фронтов;
- повышение пороговых напряжений МОП-транзисторов, формирующих логические элементы (наиболее эффективный метод).

Следует отметить, что в статическом режиме проектируемая ИМС имеет «ненулевую» потребляемую мощность P_{LEAK} за счет протекания токов утечки, которую можно выразить как произведение токов утечки I_{LEAK} на напряжение питания V_{DD} :

$$P_{LEAK} = I_{LEAK} \times V_{DD}. \quad (2.4)$$

В свою очередь, ток утечки I_{LEAK} состоит из двух основных компонент, подпорогового тока I_{SUB} и тока утечки затвора I_{GATE} .

Общая статическая мощность логического элемента P_{LEAK} состоит из двух компонент – мощности, потребляемой при протекании подпороговых токов утечки P_{SUB} , а также мощности, потребляемой при протекании тока утечки затвора P_{GATE} .

Подпороговый ток I_{SUB} играет наиболее важную роль в ИМС, изготовленных по нормам ниже 90 нм, а ток утечки затвора I_{GATE} имеет тенденцию быстрого роста с уменьшением топологических размеров, и требуется применение специальных мер для его учета и нейтрализации.

Таким образом, анализ процессов, происходящих в КМОП ИМС при переходе на технологии глубокого субмикрона, позволяет сделать следующие **основные выводы**.

1. Повышение плотности упаковки наряду с увеличением количества логических элементов в схеме приводит к росту величины суммарной (эквивалентной) емкости переключения, что вызывает в итоге рост общей мощности, потребляемой при переключении ИМС.
2. Такие же явления происходят и при росте тактовой рабочей частоты ИМС.
3. Снижая напряжение питания, разработчик может уменьшить мощность потребления, но при этом пропорционально падает производительность ИМС.
4. Снижение порогового напряжения МОП-транзисторов с известными технологическими приемами все равно неизбежно приводит к экспоненциальному росту численных значений подпороговых токов утечки, и в итоге – к увеличению потребляемой мощности.
5. Уменьшение толщины подзатворного диэлектрика, обусловленное особенностями субмикронной технологии, приводит к увеличению численного значения величины тока включения I_{ON} , что вызывает экспоненциальный рост тока утечки затвора, и в итоге также содействует увеличению потребляемой мощности субмикронной ИМС.

2.4.2. Анализ токов, протекающих в субмикронном МОП-транзисторе

На рис. 2.16 изображена стандартная конструкция субмикронного МОП-транзистора с указанием возможных схем циркуляции токов утечки в его активных и пассивных полупроводниковых областях [9].

В закрытом состоянии в МОП-транзисторе одновременно протекают следующие типы: подпороговый ток I_{SUB} , туннельный ток затвора I_{GATE} , ток прокола сток-исток I_{punch} и токи утечки p - n -перехода $I_{JUNC} + I_{GIDL} + I_{BTBT}$

Когда канал открыт, в структуре транзистора протекают следующие токи: туннельный ток затвора I_{gate} , токи утечки p - n -перехода $I_{junction} + I_{GIDL} + I_{BTBT}$ и ток инжекции горячих носителей I_{HCR}

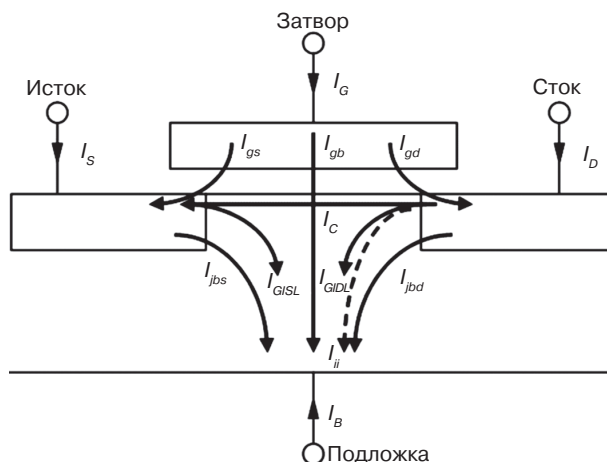


Рис. 2.16. Типовые схемы протекания токов в субмикронном МОП-транзисторе

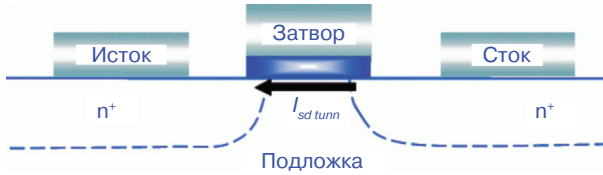


Рис. 2.17. Образование туннельного тока в цепи сток-исток $I_{sd,tunn}$

Кроме того, при использовании структур, изготовленных по технологическим нормам, при которых длина канала $L < 7$ нм, возникает еще и дополнительный туннельный ток сток-исток $I_{sd,tunn}$ (рис. 2.17).

Представленные на рис. 2.16 токи второго порядка I_{GIDL} и I_{GISL} являются физическим следствием действия соответствующих эффектов GIDL и GISL (Gate Induced Drain (Source) Leakage – ток утечки, индуцированный затвором/истоком).

GIDL эффект способствует генерации нежелательного тока в транзисторе с коротким каналом, который возникает при повышенных напряжениях на затворе в выключенном состоянии транзистора. GIDL эффект – это результат влияния физических процессов, происходящих в области глубокого обеднения. Этот эффект наблюдается в затворе при высоких значениях напряжений смещений (отрицательных для FET транзисторов n-типа и положительных для FET транзисторов p-типа). Эта обедненная область приводит к искривлению зонной структуры, что, в свою очередь, создает условия для туннелирования носителей из одной зоны в другую, что и приводит к появлению этого дополнительного тока. GIDL эффект существенно ухудшает характеристики ИМС, особенно ИМС энергонезависимой памяти, в том числе FLASH EEPROM, которые широко используются в современных мобильных применениях.

Кроме токов I_{GIDL} и I_{GISL} к току канала I_C добавляются токи переходов – I_{jbs} и I_{jbd} , ток ударной ионизации I_{II} , (является существенным только в режиме насыщения). Следует отметить, что к току I_{II} в режиме насыщения добавляется также и ток подложки. В общем случае – туннельный ток затвора субмикронного транзистора можно разделить на три составляющие – I_{gs} , I_{gb} и I_{gd} , которые, соответственно, являются токами от затвора к истоку, подложке и стоку.

Таким образом, результирующие токи, протекающие в субмикронном МОП-транзисторе, можно описать системой следующих выражений [3]:

$$\begin{cases} I_D = I_C + I_{GIDL} - I_{gd} + I_{II} + I_{jbd}, \\ I_G = I_{gb} + I_{gs} + I_{gd}, \\ I_B = -I_{II} - I_{jbd} - I_{gb} - I_{jbs} - I_{GIDL} - I_{GISL}, \\ I_S = -I_D - I_G - I_B. \end{cases} \quad (2.5)$$

Рис. 2.18 иллюстрирует классическую зависимость тока стока I_D от напряжения на затворе V_{gs} n-канального МОП-транзистора в линейном режиме и в режиме насыщения.

Состояние OFF (выключен) определяется величиной тока I_{OFF} , а состояние ON (включен) – величиной тока I_{ON} , численное значение которого можно определить из системы уравнений:

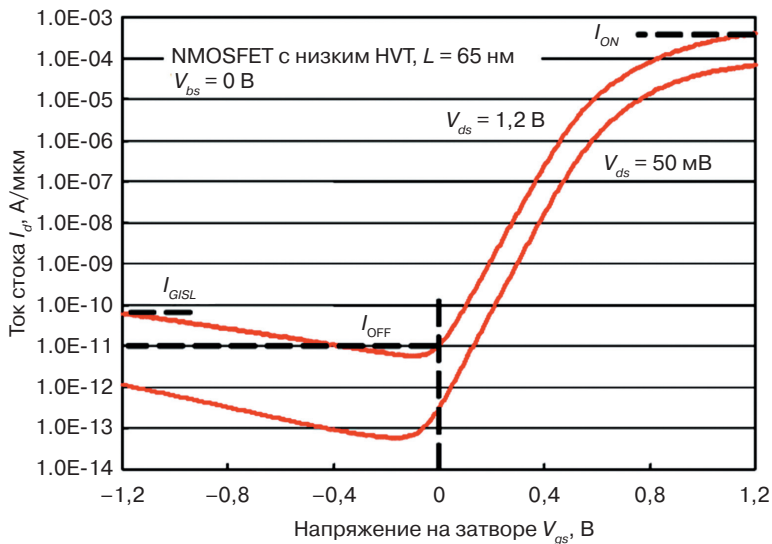


Рис. 2.18. Зависимость тока стока I_D от напряжения V_{gs} на затворе ($V_{ds} = 50$ мВ и $V_{ds} = 1,2$ В) субмикронного n -канального МОП-транзистора

$$I_{OFF} = I_D \Big|_{V_{gs} = 0 \text{ В}, V_{ds} = 1,2 \text{ В}, V_{bs} = 0 \text{ В}}, \tag{2.6}$$

$$I_{OFF} = I_D \Big|_{V_{gs} = 1,2 \text{ В}, V_{ds} = 1,2 \text{ В}, V_{bs} = 0 \text{ В}}. \tag{2.7}$$

Численное значение тока I_{OFF} обычно невелико по сравнению с численными значениями подпорогового тока и токов переходов (ток затвора незначителен по сравнению с током I_{OFF} для приборов, изготовленных по технологии 65 нм). Так, при значениях $V_{gs} = 0,0$ В, $V_{ds} = 1,2$ В и $V_{bs} = 0,0$ В величины токов I_{gb} , I_{gs} , I_{jbs} и I_{II} равны нулю. В этом случае справедлива следующая система уравнений:

$$\begin{cases} I_D = I_C + I_{GIDL} - I_{gd} + I_{jbd}, \\ I_G = I_{gb}, \\ I_B = -I_{jbd} - I_{GIDL}. \end{cases} \tag{2.8}$$

Численные значения величины подпорогового тока I_{SUB} и токов перехода I_{JUNC} рассчитываются из выражений:

$$I_{SUB} = I_{OFF} + I_G \Big|_{V_{gs} = 0 \text{ В}, V_{ds} = 1,2 \text{ В}, V_{bs} = 0 \text{ В}} + I_B \Big|_{V_{gs} = 0 \text{ В}, V_{ds} = 1,2 \text{ В}, V_{bs} = 0 \text{ В}}, \tag{2.9}$$

$$I_{JUNC} = -I_B \Big|_{V_{gs} = 0 \text{ В}, V_{ds} = 1,2 \text{ В}, V_{bs} = 0 \text{ В}}. \tag{2.10}$$

Обычно в схемотехнических расчетах предполагается, что при $V_{gs} = 0$ В численное значение тока I_{GIDL} невелико. Необходимое для расчета выражение величины тока затвора можно записать в следующем виде:

$$I_{GATE} = I_{gs} + I_{gb} + I_{gd} = -I_G \big|_{V_{gs}=1,2 \text{ В}, V_{ds}=1,2 \text{ В}, V_{bs}=0 \text{ В}}. \quad (2.11)$$

Тогда численное значение величины тока GIDL может определяться как:

$$I_{GIDL} = I_D \big|_{V_{gs}=1,2 \text{ В}, V_{ds}=1,2 \text{ В}, V_{bs}=0 \text{ В}}, \quad (2.12)$$

где величины тока перехода I_{jbd} и тока затвора I_{gd} предполагаются незначительными по сравнению с током I_{GIDL} .

2.4.3. Физические причины возникновения токов утечки в субмикронных кремниевых транзисторах

Классический МОП-транзистор, изготовленный по стандартной технологии, отличной от технологии глубокого субмикрона, имеет конструкцию, представленную на рис. 2.19.

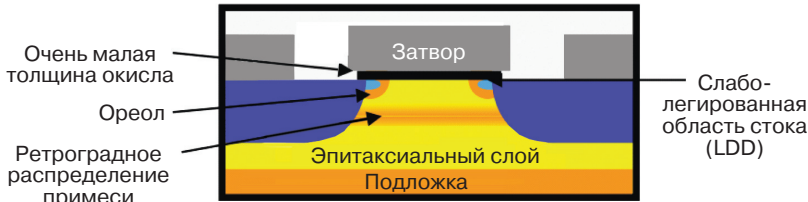


Рис. 2.19. Структура МОП-транзистора, изготовленного по стандартной КМОП-технологии

Разработчики современных КМОП-микросхем, хорошо знакомые с надежной и опробованной конструкцией МОП-транзистора, при разработке новых проектов ИМС с повышенной функциональной сложностью стараются использовать свой предыдущий опыт, переходя на субмикронные проектные нормы. При этом они используют следующие апробированные ими в своей практической деятельности **конструктивно-технологические решения**:

- снижение толщины подзатворного диэлектрика, которое, с одной стороны, приводит к положительному эффекту возрастания тока включения I_{ON} , но, с другой, приводит к возникновению туннельного тока затвора в силу изложенных нами ранее причин физического характера;
- применение слаболегированной области стока (LDD), которое снижает ток инжекции горячих носителей;
- введение конструктивных изменений МОП-транзистора – создание ореола (HALO) в области стока и истока, что уменьшает нежелательный, но характерный для субмикрона короткоканальный эффект;
- специальным образом реализованное вертикальное распределение примеси, которое, с одной стороны, уменьшает коротко-канальный эффект, повышает напряжение прокола, позволяет получить заданное значение порогового напряжения V_{TH} , однако при высоком уровне легирования приводит к возникновению нежелательных токов утечки I_{GIDL} и I_{BTBT}

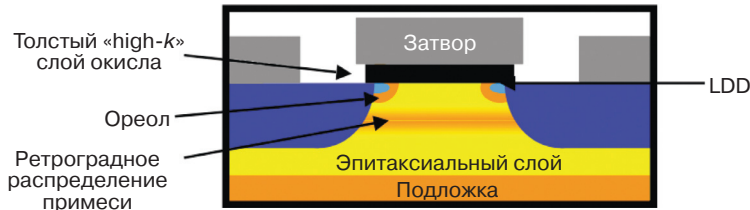


Рис. 2.20. Субмикронный МОП-транзистор, изготовленный по технологии, использующей «high- k » подзатворный диэлектрик

В последние годы ведущие компании — производители субмикронных ИМС перешли на использование целого ряда новых конструкций МОП-транзисторов, в которых для создания области подзатворного диэлектрика используется окисел с высокой диэлектрической проницаемостью — т.н. «high- k »-диэлектрик, как правило на основе гафния (Hf). Структура такого прибора изображена на рис. 2.20.

Эта технология позволяет устранить основные вышеперечисленные недостатки традиционной конструкции за счет следующих решений:

- применение «high- k » диэлектрика дает возможность увеличить ток включения I_{ON} без возникновения туннельного тока затвора;
- специальным образом рассчитанные и реализованные распределения примесей в различных областях прибора позволяют значительно снизить токи утечки I_{GIDL} и I_{BTBT} , а также практически исключить обратный ток p - n -перехода I_{JUNC} .
- использование новых, ранее неизвестных высокотехнологичных материалов и технологических методов их осаждения позволяет существенно уменьшить вероятность пробоя.

Таким образом, *из всех видов токов утечки, при создании новых субмикронных приборов, разработчику следует учитывать только подпороговый ток I_{SUB}* , что задачу проектирования упрощает, не требует использования новых пакетов САПР и более глубокого понимания физической сущности процессов, происходящих в МОП-транзисторе с уменьшенными линейными размерами элементов и уменьшенными объемами активных областей полупроводниковой структуры транзистора.

2.4.3.1. Подпороговый ток утечки I_{SUB} субмикронного МОП-транзистора

Подпороговый ток утечки I_{SUB} — это классический диффузионный ток электронов через подложку p -типа из истока в сток. Важно помнить, что это не «паразитный» ток — он является неизбежным компонентом тока стока и обусловлен физическим механизмом работы субмикронного транзистора (рис. 2.21).

Известная ранее и действующая для субмикронных размеров транзистора экспоненциальная зависимость напряжений затвора и стока от концентрации носителей заряда, в свою очередь, приводит к экспоненциальной зависимости и для подзатворного тока [3, 10]:

$$I_{SUB} = \mu_n C \frac{W_N}{L_N} V_t^2 \exp\left(\frac{V_{GS} - V_{TH}}{nV_t}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_t}\right)\right]. \quad (2.13)$$